특 집

전자산업용 코팅제

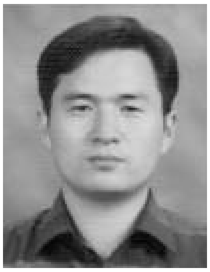
박 재 근 · 정 현 담 · 노 창 호 · 정 명 섭

1. 서 론

'전자산업용 코팅제'는 매우 광범위한 응용 분야를 포함하고 있어서, 본 고에서는 제한된 영역만을 다룰 수 밖에 없다. 크게 분류를 해 본다면, 코팅제가 전자 부품을 제조하는데 사용된 후, 제거되어 버리는 공정용 소재로서의 코팅제, 부품 자체에 속해서 하나의 기능을 발휘하는 기능 소재로 구분하여 볼 수 있겠다. 대표적인 기능성 코팅제는 반도체 부품에서 사용되는 포토레지스트, 폴리이미드, 저유전박막소재 등을 들 수 있고, 디스플레이 분야에서는 액정배향막, 유기절연막, 컬러필터용 레지스트, 유기 EL, PDP용 기능성페이스트, 최근 광통신부품에서 waveguide용 고분자소재 등을 들 수 있다. 최종 용도에 따라서 물질에 요구되는 performance도 크게 달라질 수 밖에 없다. 그러나 최근 전자부품이 점차 고도화되어 가고, 또한 기존의 부품이 보여주는 기술적인 한계로 인해서 코팅제에 요구되는 특성 또한 매우 엄격해 지고 있는 것이 주 경향이다.

박재근
1983 서울대학교 화학교육과
1988 KAIST (박사)
1988 삼성종합기술원 E - Polymer Lab.
현재 랩장

노창호
1986 서울대학교 공업화학과
1988 서울대학교 공업화학과 (석사)
1988 삼성종합기술원 근무
현재



정현담
1990 KAIST 화학과
1996 KAIST 화학과 (박사)
1996 삼성전자 반도체 연구소
1999
1999 조지아공대 화공과
2000
2000 삼성종합기술원 근무
현재

정명섭
1994 부산대학교 고분자공학과
1996 부산대학교 고분자공학과 (석사)
1996 삼성종합기술원 근무
현재

Functional Polymers as Thin Film Electronic Materials

삼성종합기술원(Jae - Geun Park, Hyun - Dam Jeong, Changho Noh, and Myungsup Jung, E - Polymer Lab., Samsung Advanced Institute of Technology, San 14 - 1, Nongseo - ri, Kiheung - eup, Yongin - shi, Kyungki - do, Korea)

한 예로서 반도체칩의 회로 선폭을 결정짓는 포토레지스트의 경우, 약 2005년 경에는 기존의 optical 리소그래피에 의한 선폭 50 nm 이하를 만드는 것이 한계라고 알려져 있으며, 약 2010년 경에는 실리콘에 근거한 반도체칩 제조 자체가 물리적 한계를 갖는다고 예측하고 있다. 이러한 상황에서 점차 짧아지는 광원에 대해 포토레지스트에 요구되는 광학적 특성도 매우 엄격해져서 사용되는 파장에서 흡수가 최소화가 되어야 할 뿐 아니라, 함유하고 있는 금속불술물도 ppt 단위로 조절된 고투과, 고순도의 고분자가 필수적이며 궁극적으로는 분자 레벨에서 패턴을 형성할 수 있는 나노리소용 기능코팅제의 개발도 필요로 되어진다. 이러한 예는 위에서 언급된 타 코팅재료에 대해서도 비슷한 경향을 보이고 있다.

본 고에서는 최근에 많은 관심을 갖고 있는 반도체용 고해상도 포토레지스트와 감광성 폴리이미드, interconnection용 저유전 박막소재에 대해서 기본 원리와 연구 개발 및 기술 동향 등을 살펴보고자 한다.

2. 포토레지스트

2.1 서 론

반도체 LSI의 집적도는 대략 3년에 4배라는 급속한 속도로 향상하여, 차세대 4 GDRAM 및 16 GDRAM은 각각 130 nm와 100 nm의 회로 선폭을 갖게 될 것으로 보여진다. 이와 같은 LSI의 급격한 집적도는 표 1에 나타낸 바와 같이 광원의 단파장화와 더불어 그에 상응하는 포토레지스트 재료의 개발에 의해 가능해진다.[1]

포토레지스트는 자외선, X선 및 전자선 등에 노출될 때 물질의 특성이 변하여 후속 처리를 통하여 빛을 받은 부분이나 그렇지 않은 부분을 현상액으로 선택적으로 제거할 수 있는 물질을 말한다. 그림 1에 나타낸 바와 같이 빛을 받은 부위가 현상액에 의하여 녹는 경우를 positive resist, 그 반대를 negative resist라고 한다. 일반적으로 반도체에는 고해상도 패턴 형성이 보다 용이한 positive resist가 주로 사용되어지고 있다.

표 1. 메모리 반도체의 Technology Roadmap

Year of first shipment	1996	1999	2001	2003	2006	2009
Bits / chip	64	256	1 G	4G	16G	64G
Feature size(nm)	210	180	150	130	100	70
저장용량 (영자신문)	512장	2,048장	8,192장	32,768장	131,072장	524,288장
Lithography 주광원	I 선 (365nm)	KrF (248nm)	KrF (248nm)	KrF (248nm)	ArF (193nm)	F2 (157nm)

현재 반도체 제조에 주로 사용되고 있는 것은 i-line (365 nm) 및 KrF(248 nm)를 광원으로 하는 positive type resist 재료들이며, 차세대 resist 재료로서 ArF(193 nm) 및 F_2(157 nm)를 광원으로 하는 재료 개발이 활발히 이루어지고 있다.

2.2 Novolak - DNQ계 Resist (g, i-line Resist)

최근 메모리 반도체 제조를 위한 주 포토레지스트는 KrF를 광원으로 하나 LCD 등 반도체 분야 전체를 고려하면 양적으로 i-line PR(365 nm)가 많이 사용되고 있다. i-line resist의 기본 골격은 이전의 g-line resist와 거의 유사하게 novolak resin에 DNQ (diazo-napthaquinone)라는 용해억제물질(inhibitor)이 섞여 있다. DNQ는 광반응에 의해 구조 및 용해도가 변하므로 PAC(photo acid compound)라고 불리우기도 한다.

그림 2에 나타낸 바와 같이 novolak resin은 수

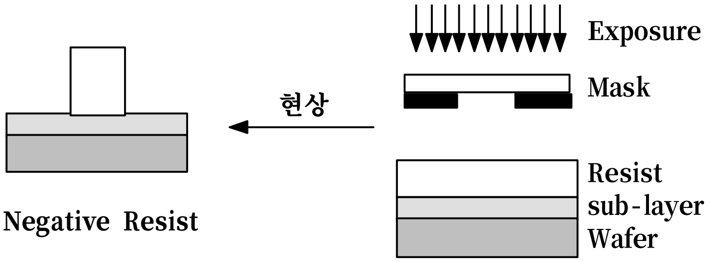


그림 1. Photoresist의 기본 원리.

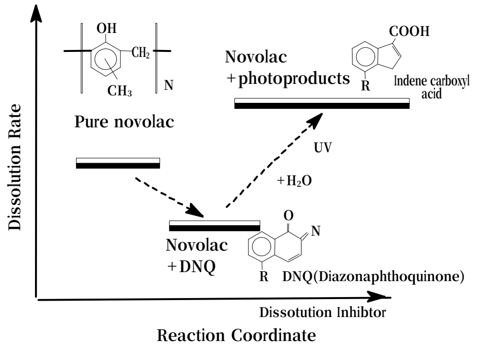


그림 2. i-line resist의 작용 원리.

용액에 느린 속도로 용해될 수 있다. 여기에 용해억제제인 DNQ를 첨가하면 resist 전체가 거의 녹지 않으나, 노광후 적당히 가열해주면 화학 구조가 변해(wolf rearrangement) 현상액에 아주 잘 녹는 구조가 된다. DNQ의 양에 따라 현상 속도가 달라지지만 대체로 resin만 있을 경우에는 분당 수 100 Å의 현상 속도를 가지며 충분한 양의 DNQ가 첨가된 경우 수십 Å 정도으로 떨어지고 노광후에는 이것이 3,000-4,000 Å정도로 급격히 늘어난다. Novolac - DNQ 감광액에서 분해능은 노광 전후의 현상 속도의 차이에 의하여 결정되는 영향이 가장 크다.

현상속도 등 i-line photoresist의 특성은 resin의 분자구조, 분자량 분포와 함께 PAC의 구조를 변형하여 조절하고 있다. i-line PR에 의해서는 선폭 250 nm 수준까지의 device 제조가 이루어지고 있다.

2.3 화학 증폭형 레지스트 (Chemically Amplified Resist, CAR)

현재 256 MDRAM 반도체 생산을 위한 lithography 공정의 주광원으로는 KrF(248 nm) eximer laser가 사용되고 있으며, 향후 100 nm급 이상의 해상도가 요구되는 device의 경우 ArF laser가 사용될 것으로 전망되고 있다. 이와 같은 deep UV (DUV) 영역에서는 g, i-line용의 novolak-DNQ resist는 너무 불투명하여 DUV 광이 거의 통과되지 않는다. 그리고 laser 광의 강도도 수은 램프의 g, i-line에 비하여 훨씬 약하다. 이에 따라 적은 양의 빛으로 고감도의 화학 반응이 가능한 CAR (chemically amplified resist)가 IBM의 Ito 등에 의해 제안되었으며 deep UV 영역의 표준 PR공정으로 정착되었다.[2] i-line PR은 광에 의해 직접 구조가 변화하는 방식이나 CAR의 경우 그림 3에 나타낸 바와 같이 2단계의 반응을 거쳐 패턴을 형성한다. 일종의 광촉매(Photo Acid Generator, PAG)가 노광시 분해되어 산을 발생하고, 이 산이 고분자의 구조 변화를 유발하여 현상액에 대한 용해도가 증가한다.

발생된 산은 계속 재활용되므로 양자 수율이 100% 이상인 증폭 효과가 나타나는 것이다. 화학 증폭형 레지스트 재료가 요구되는 KrF 및 차세대 lithography의 경우 광원의 파장이 극 단파장 영역으로 감소함에 따라 novolak-DNQ 등 기존의 재료는 absorbance가 커서 패턴 형성이 곤란해진다. KrF, ArF 및 F_2 등 각 광원에 따라 화학 증폭형 레지스트에 공통적으로 요구되는 특성은 다음과 같다.

1) High transparency
2) High dry etch resistance
3) Good adhesion to substrate
4) Conventional developer에 적용 가능

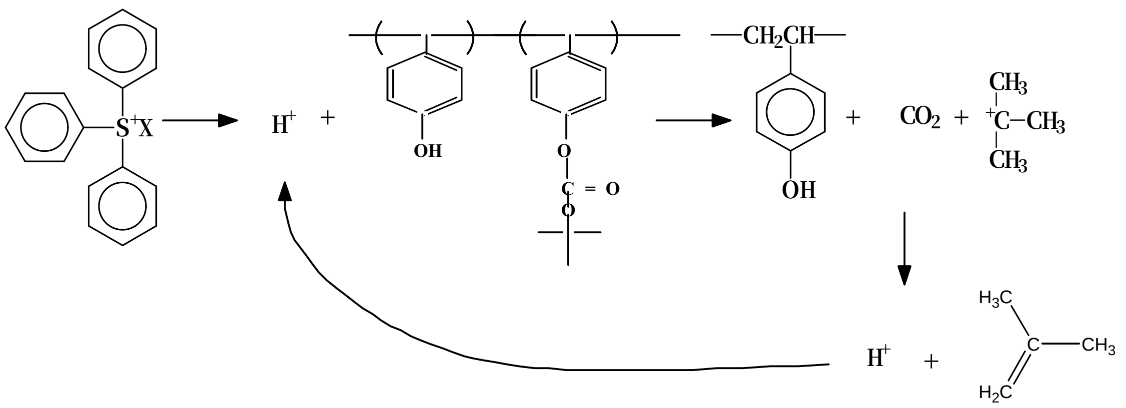


그림 3. T-BOC type chemically amplificated resist(KrF 용)의 화학 반응.

2.3.1 KrF Photoresist

KrF PR은 현재 180 nm급의 해상도를 갖는 반도체 생산에 사용되어지고 있으며 향후 110 nm급의 해상도가 요구되는 device 제조까지 가능할 것으로 예상되어진다. i-line에 사용되던 novolak-DNQ계는 248 nm에서의 강한 광흡수에 의해 사용이 불가하며 그림 3과 같은 poly(*p*-hydroxy styrene)(PHST)계 고분자가 이용되고 있다.

PHST 수지의 일부를 *t*-BOC(*t*-butoxycarbonyl) 등의 acid labile기를 도입시켜 치환비에 따라 현상액에 대한 용해 속도를 조절하여 패턴을 형성한다.

제품 구성은 protected PHST에 PAG 및 기타 첨가제 들을 첨가한 코팅용액으로 되어 있다. 코팅액을 `웨이퍼 기판 위에 도포한 후 248 nm의 광원으로 노광하면 PAG이 분해되어 발생된 산이 acid labile기를 분해시키고 현상액에 대한 용해속도를 증가시키게 된다. 이때 산은 재발생되므로 양자 수율이 100% 이상인 화학증폭형 레지스트라는 명칭을 얻게 되었다.[2]

화학증폭 레지스트는 광조사에 의해 발생되는 산을 사용하므로 다음과 같은 유형의 문제점을 내포하고 있다.[3,4]

1) 외기중의 알칼리 성분(암모니아 등)에 의해 표면의 산성분이 중화되거나, 표면 산성분의 휘발로 인해 레지스트 패턴의 형상이 T자형으로 생성되는 경우 (T-topping)

2) 노광후 현상까지의 시간차에 따라 생성된 산의 확산 경로가 달라지므로 야기되는 패턴폭의 균일성과 관련된 delay 현상(post exposure delay 현상)

3) 기판 종류에 따라 PR과 기판 계면에서의 산의 활성도가 차이남에 따른 footing이나 undercut 발생현상

상기의 문제점들은 PR 제조시 적절한 첨가제 선택에 의한 formulation으로 조절이 가능하며 PR maker들은 각사의 고유한 know-how에 의해 이에 대응하고 있다.

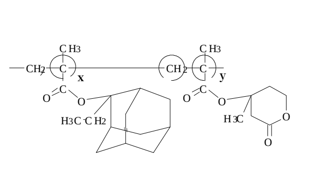
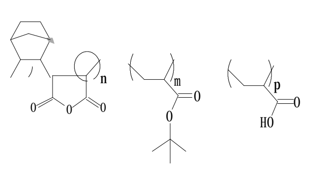
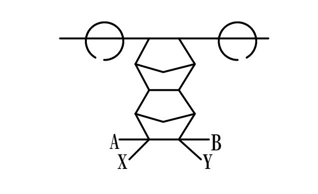
KrF PR의 분해능 및 신뢰성은 산에 의해 분해되는 acid labile기의 활성화 에너지에 의해 좌우되며, 상용화된 KrF PR은 활성화 에너지가 낮은 순으로 acetal계, carbonate계, ester계의 acid labile기가 단독 혹은 hybrid 형태로 치환된 PHST를 기반으로 하고 있다.

2.3.2 ArF Photoresist

ArF 광원에 대해서도 화학증폭형 PR이 요구되나 KrF PR의 poly(hydroxy styrene)은 방향기가 ArF(193 nm) 영역의 빛을 흡수하므로 새로운 유형의 base polymer가 요구되어진다. 광투과도가 좋은 아크릴계 레지스트는 193 nm에 대해서도 투과도는 뛰어나나 후속 공정인 etching 공정에서 내성이 약하다는 문제점이 있다. 이를 보완하기 위해 alicyclic기를 side chain이나 backbone에 도입한 base resin이 제안되어 있으며 표 2에 대표적인 ArF base resin 유형 및 그 장단점을 분석하여 나타내었다.[5,6,7]

ArF PR은 100 ~70 nm 수준의 해상도를 갖는 device 제조에 사용되며, 내 etching 특성, 안정성 등 일부 물성이 아직 취약하여 재료의 보완과 더불어 PR 층 하부에 별도의 hard mask 층을 도입하는 등 새로운 공정 개발에 의해 취약점을 만회하려는 연구가 많이 이루어지고 있다.

표 2. ArF 용 레지스트의 기본 구조

	Acryl backbone계	Alternating copolymer계	Multicyclic Backbone계
Base Resin			
주요 연구기관	Fujitsu, NEC	Lucent	JSR, Goodrich
장단점	해상도 우수 내 etching성 약함	제조 cost 우수 안정성 약함	내 etching성 우수 정제 비용 높음

2.3.3 F_2 Photoresist

F_2 laser용 PR 개발에 있어 157 nm 광원의 높은 photon energy(7.9 eV)로 인해 193 nm 보다 투과도 문제 등 보다 많은 제약이 따른다.[8]

130~180 nm (약 10 ~7 eV) 영역의 광에서 투과도는 원소의 valence band electronic 상태 및 chemical bonds의 유형에 영향을 많이 받는다.

C-H (bonding energy, 7.5 eV), C=O (7 eV) bonding에 비해 C-F(10 eV) bonding이 결합 에너지가 높아 F_2 laser에 대한 투과도가 높다. 재료 중의 C-F bonding 비율이 높을수록 dilution 효과에 의해 157 nm 투과도가 향상된다. 마찬가지 이유로 일반 알칼리 현상액에 대해 적절한 용해도를 갖는 acid기도 기존 resist의 phenol기나 carboxylic기 보다 그림 4와 같은 구조의 fluorinated alcohol기가 좋은 투과도를 나타낸다.[9]

표 3에 대표적인 고분자들의 157 nm 광투과도 값을 나타내었다. Siloxane(Si-O bonds) back-bone의 고분자 들이 투과도 측면에서는 가장 유력한 후보라고 할 수 있으며 최근들어 이를 157 nm 급 이상의 레지스트 재료로 활용하려고 하는 움직임이 활발하다. 그러나 이들 siloxane chemistry는 기존의 유기 화합물 PR과는 제조나 공정 특성 등에서 많은 차이가 나므로 기술적으로 해결해야 할 일들이 매우 많이 남아 있다.[8,10]

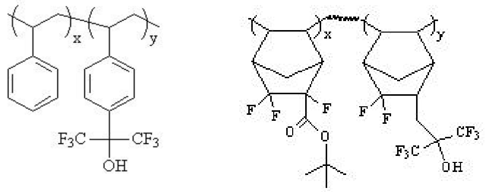


그림 4. 최근 제안된 F_2 레지스트 구조.

이상과 같이 현재 반도체 제조에 사용되고 있는 photoresist 및 차세대 photoresist의 개발 현황에 대해서 간략히 알아보았다. 차세대 반도체 (<선폭 100 nm) 제조를 위한 ArF 및 F_2 PR에 대한 연구가 활발히 이루어지고 있으나 반도체 메이커를 만족시킬 만한 재료 개발은 아직 이루어지지 않고 있다.

2.4 맺 음 말

지금까지 반도체 산업은 원부재료 및 공정의 큰 변화 없이 lithography tool에 의한 패턴 선폭 축소에 따라 성장해 왔으므로, 기술개발보다 생산 규모에 의한 가격 경쟁력 향상에 의존해 왔다. 그러나 향후 100 nm 미만의 선폭을 갖는 반도체 제조에는 ArF 및 F_2 laser용 photoresist, 저유전율 절연막 재료, 고유전율 커패시터 재료 등 기존 재료와는 전혀 다른 재료가 요구되고 있으며, 적합한 재료의 개발 지연 및 이에 따른 공정 개발 지연으로 device maker들의 향후 시장에 대한 위기감이 내재되어 있다. 차기 반도체 산업의 경쟁력은 핵심 소재의 선행 확보에 의한 선행 공정 개발에 달려 있다고 볼 수 있으며, 이를 위한 재료 개발 및 공정 기술 개발에 있어서도 재료, 장비, device maker 간의 상호 이해와 협조 관계가 무엇보다 중요하다고 볼 수 있다.

표 3. 일반 고분자들의 157 nm 광흡수도(A)

Polymer	A (μm^{-1})	Tp* (A=0.4) (nm)
Poly(hydrosilsesquioxane)	0.06	6667
Poly(dimethylsiloxane)	1.61	248
Poly(phenylsiloxane)	2.68	149
Fluorocarbon, 100% fluorinated	0.7	571
Hydrofluorocarbon, 30% fluorinated	1.34	298
Partially esterified hydrofluorocarbon, 28% fluorinated	2.6	154
Poly(vinyl alcohol), 99.7%	4.16	96
PMMA	5.69	70
Poly(norbornene)	6.1	66
Poly(vinyl phenol)	6.25	64
Poly(adamantylmethacrylate)	6.73	59
Poly(vinyl naphthalene)	10.6	38

* : 0.4의 optical density를 갖기 위한 coating 막 두께.

3. 감광성 폴리이미드

3.1 서 론

폴리이미드 수지는 고내열성, 높은 기계적 강도, 낮은 유전 특성 이외에도 코팅 표면의 평탄화 특성이 우수하고 반도체 소자의 신뢰성을 저하시키는 불순물의 함유량이 매우 낮으며 미세 형상을 용이하게 형성할 수 있어 전자 device의 층간 절연막, 보호막으로서 널리 사용되고 있는 유기 재료이다. 상업화된 전자 재료용 폴리이미드 제품은 폴리이미드 전구체 용액 혹은 폴리이미드 필름 형태로 공급되며, 반도체 소자 분야에는 주로 폴리이미드 전구체 용액 상태로 공급된다. 폴리이미드는 용도에 따라 수종의 단량체를 조합시켜 고접착성, 투명성, 저열팽창성, 저온 경화형 등의 기능을 용이하게 부여할 수 있다. 반도체에 사용되는 폴리이미드 코팅 재료는 1960년대부터 적용 가능성이 제시되었으나 본격적으로 사용되기 시작한 것은 1975년에 일본 히타치사에 의해 PMP(planar metallization with polymers)기술이 개발되어 실용화된 이후이며,[11,12] 고유의 유동성과 평탄화 성능 및 높은 생산성으로 인하여 반도체 소자의 층간 절연막과 보호막으로 널리 사용되고 있다.

폴리이미드를 반도체 소자의 층간 절연막과 보호막 등으로 응용함에 있어 전극간 연결 및 wire bonding pad와 같은 직경 약 10에서 100 ㎜ 정도의 hole과 line의 미세 패턴의 형성이 요구되어지는데, 이러한 패턴 형성은 PR을 사용하는 2~3회의 복잡한 lithography 공정에 의하여 이루어 진다.

그러나 일반적인 비감광성 폴리이미드 대신 감광특성이 부여된 감광성 폴리이미드를 사용하게 되면 그림 5에 나타내었듯이 복잡한 PR 공정을 완전히 생략이 가능하여 공정의 단축으로 인한 생산성의 향상 및 제조 원가를 크게 절감시킬 수 있다.

이러한 감광성 폴리이미드는 크게 negative형과 positive형으로 나누어지는데, 이 중에서 negative 형은 이미 여러 선진 업체에서 상업화가 되어 있다. 그러나 감광성 폴리이미드를 생산에 적용하고 있는 반도체 제조사는 미국 및 일본의 극히 일부에 불과하며, 많은 장점에도 불구하고 상업화된 감광성 폴리이미드 제품들이 기존의 비감광형을 완전히 대체하지 못하고 있는 이유는, 반도체 메모리가 고용량화 되어가면서 반도체 공정에서 요구하는 해상도의 수준이 점차 높아지는 데에 비하여 기존 제품의 해

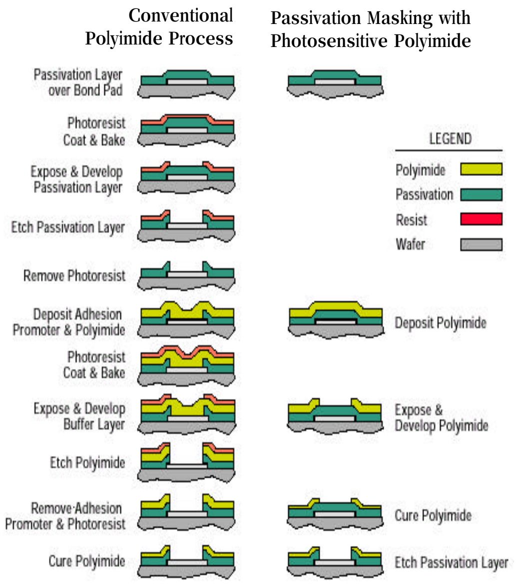


그림 5. Nonphotosensitive polyimide vs. photosensitive polyimide process flows.

상력이 반도체 제조사의 요구 수준에 미달하고 있고, 또한 감광기능을 부여하기 위하여 도입된 감광기, 감광첨가제 등에 의하여 폴리이미드 고유의 우수한 기계적, 전기적 물성 등이 저하되어 기존의 비감광 폴리이미드 수준의 신뢰성이 확보되지 못하고 있기 때문이다.

그러나 최근 들어 기존의 negative형과 비교하여 차세대 제품이라고 할 수 있는 positive형 제품이 일부 업체들에서 출시되기 시작함에 따라 반도체 제조사에서는 감광성 폴리이미드를 생산에 적용하려는 움직임이 적극적으로 이루어 지고 있으며, 단기간 내에 비감광성 폴리이미드를 급속히 대체할 것으로 전망된다. 그리고 QFP, LOC와 같은 기존의 반도체 패키징 방식이 경박단소화 경향에 따라 점차 CSP(chip size packaging)화 됨에 따라 차세대 패키징 분야에서 절연 소재로서의 수요 또한 확대될 것으로 전망된다.

3.2 반도체 응용분야

반도체 코팅 재료로서의 비감광 및 감광성 폴리이미드의 응용분야는 크게 보호막과 절연재료로 나누어 지며 이의 응용분야에 요구되어지는 특성을 정리하면 다음과 같다.

① 내열성

Sealing, packaging, die bonding, wire bonding 및 soldering 등의 200 ℃ 이상의 고온 공정에 견

표 4. Applications of Liquid PI & PSPI For Electronic Devic[14]

Classification		Location	Purpose	Application
Protection	Buffer coat	On the passivation	Surface protection	IC, LSI, VLSI
	Passivation	Surface of Device	Relief of mechanical stress	
	Junction coat	PN junction	Prevention of contamination	
	α - ray shielding	On the passivation	Prevention of soft errors for memory devices	
Interlayer dielectric		Between wire and wire	Insulation between wire and wire	IC,LSI,VLSI Multi - chip module Thin film thermal / magnetic head

딜 수 있는 우수한 내열성이 요구되며, 일반적으로 이들 공정에 충분한 내열성을 갖기 위해서는 폴리이미드의 중량 감소 개시 온도가 450 ℃ 이상이 요구된다.

② 순도

반도체 device의 전기적 특성 저하를 유발하고 금속 배선 부식의 원인이 되는 sodium과 같은 mobile 이온의 함량이 1 ppm 이하로 조절되어야 한다.

③ 평탄화 특성

Multi level coverage를 위한 표면의 평탄화는 연속되는 금속 배선 공정을 위해 매우 중요하며, 일반적으로 폴리이미드 전구체 용액의 평탄화 특성은 우수하며 고형분 농도가 높을수록 평탄화 특성이 좋아지는 것으로 알려져 있다.[13]

④ 기계적 강도

Die bonding, wire bonding, soldering 등의 제조 공정 중에 발생하는 기계적, 열적 stress로부터 crack 발생을 방지하여 충분한 신뢰성을 확보하기 위해서는 우수한 기계적 물성(특히 신률)이 요구된다.

⑤ 접착력

EMC, SiN, SiO_2 및 금속과 같은 각종 계면과의 우수한 접착력이 요구된다. 접착력이 불량한 경우 수분 침투 및 crack 발생의 원인이 되며 폴리이미드의 접착력은 amino silane과 같은 접착 보조제나 실록산기를 함유하는 단량체의 도입에 의하여 향상되어질 수 있다.

폴리이미드는 이상에서 언급한 요구 특성을 만족하는 대표적인 고분자 재료로서, 이의 구체적인 응용분야를 표 4에 나타내었고, 이 중에서 대표적인 응용분야인 buffer coating layer와 층간 절연막에 관하여 보다 자세히 설명하고자 한다.

3.2.1 Buffer Coating

Buffer layer는 그림 6의 단면사진에서와 같이 device의 passivation layer와 봉지제 사이에 위치한 코팅막으로서, 대략 2~10 ㎛ 두께의 폴리이미드계 소재가 사용된다. 이러한 폴리이미드계 buffer layer의 도입은 봉지제와 chip 사이의 열팽창계수의 차에 의해 발생하는 stress와 그림 7과 같이 봉지제 내부의 filler에 의해 유발되는 stress를 흡수함으로써 device에 직접적으로 가해지는 응력을 완화시켜 passivation layer의 crack 발생과 aluminum 배선의 변형이 발생하는 것을 방지하여 반도체의 신뢰성을 향상시키는 역할을 한다.[15] Buffer coating 막으로서 폴리이미드는 chip 내부의 접속단자와 외부의 리드프레임을 연결하는 wire bonding 공정 및 보수를 위한 window open을 위해 직경 약 5에서 100 ㎛ 정도의 hole과 line이

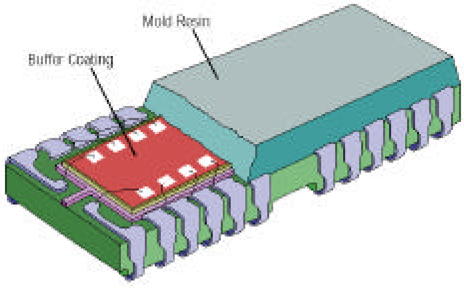


그림 6. Cut-away plastic package showing the exposed polyimide.

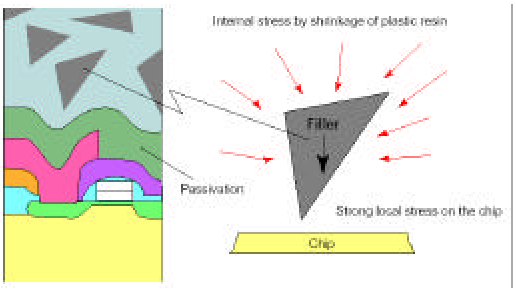


그림 7. Filler-induced stress.

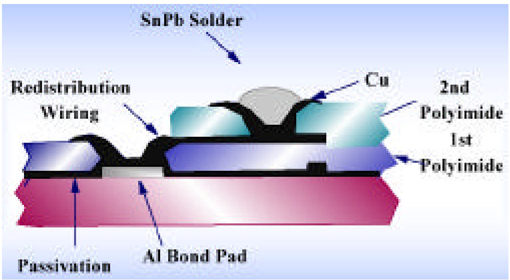


그림 8. Interlayer Dielectric Application of Polyimide.

가공되어져야 하는데, 서론에서 설명한 바와 같이 감광성 폴리이미드를 적용하면 생산성과 비용 측면에서 보다 효과적이라 할 수 있다.

3.2.2 층간 절연막

최근 들어 반도체 패키징의 소형화 경향에 따라, CSP(chip size package), WLP(wafer level package) 등에서 감광성 폴리이미드를 층간 절연 재료로 채택하려는 움직임이 활발히 이루어지고 있다. 이는 실리콘 기판위에 배선층과 폴리이미드 절연층(10~20 ㎜)을 적층한 것으로, 폴리이미드 코팅액의 우수한 평탄화 특징을 살리면서 층간 절연막을 정밀하게 형성할 수 있다. 그림 8에 이의 응용 예를 나타내었으며 폴리이미드 절연막의 유전율이 작을수록 device의 신호전달 속도가 빨라지는 것으로 알려져 있다. 절연막에는 배선층간의 전극 연결을 위해 미세한 via-hole을 형성시켜야 하며, 감광성 폴리이미드의 사용에 의해 이를 간략화시킬 수 있다.

3.2.3 Alpha-ray Shielding

DRAM과 같은 LSI(large-scale integrated)memory device에서 집적도가 증가함에 따라 α-Ray particle에 의해 유발되는 soft error가 발생할 수 있다. α-Ray particle은 uranium과 thorium과 같은 방사능을 가진 불순물이 함유된 패키징 재료로부터 기인되며, 일반적으로 폴리이미드는 α-ray particle을 흡수하는 성질이 있으며 약 7 MeV의 에너지를 가지는 α-ray particle은 30~40 μm두께의 폴리이미드 필름에 의해 완전히 흡수되며, device design 및 molding resin의 순도 개선에 의해 폴리이미드 필름의 두께를 10 μm 정도까지 낮추는 것도 가능하다.[15]

3.3 감광성 폴리이미드의 유형

감광성 폴리이미드는 1971년 Kerwin과 Goldrick에 의해서 최초로 보고되었다.[16] 이들은 폴리이미드 전구체인 polyamic acid와 chromium salt를 감광 첨가제로 사용하였으나, 금속무기염을 사용한 것과 안정성의 결여 등의 이유로 상용화되지는 못하였다. 이후 감광성 폴리이미드는 1979년 독일의 Siemens사에서 Rubner 등에 의해 최초로 특허화되었고,[17] 이후 일본의 Asahi Chemical, 미국의 Du Pont, 스위스 OCG 등의 업체들로 license되어져 기술 개량에 의해 상업화로 이어졌다. 감광성 폴리이미드는 크게 negative형과 positive형으로 크게 나누어지며, 현재 상업화의 주류를 이루고 있는 것은 negative형 제품이다.

3.3.1 Negative Working System

1) 에스테르형 감광성 폴리이미드

초기 Siemens 기술은 폴리이미드의 backbone에 감광기가 에스테르 결합된 유형으로서, 그림 9에서와 같이 폴리이미드 전구체인 폴리아믹산에 감광기가 에스테르 결합을 통해 결합한 형태이다. 그림 9에서 광개시제가 포함된 감광성 폴리이미드 전구체 용액을 기판에 코팅해 피막을 형성하고 자외선을 노광하면 노광 부분에 광중합이 일어나 가교구조로 되어진다. 이 상태에서 유기 용제로 현상하면 미노광부가 제거되며 최종 가열 처리에 의해 이미드화 반응과 동시에 에스테르 결합된 감광 성분이 분해 제거되어 폴리이미드만의 원하는 패턴을 얻을 수 있게 된다. 이 형태는 카르복실기가 감광기로 치환됨으로 인하여 저장안정성, 현상특성, 평활도 등이 우수한 것이 특징이다. 이 기술은 일본의 Asahi Chemical, 미국의 Du Pont, 스위스 OCG 등의 업체들로 license되어져 기술 개량을 거쳐 "PIMEL", "Pyralin PD", "Probimide 300" 등의 상품명으로 상업화 되어졌다.[14]

2) 이온형 감광성 폴리이미드

일본의 Toray사에서 폴리이미드에 감광기를 이

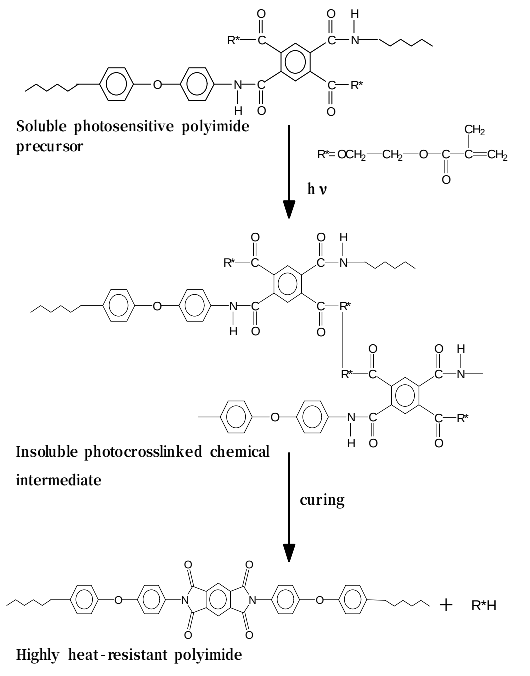


그림 9. Chemical principle and processing steps of ester-type photosensitive polyimide.[14]

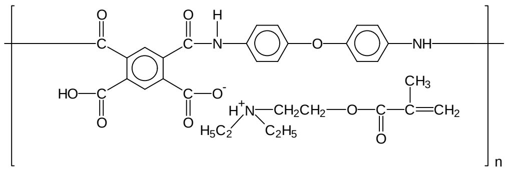


그림 10. Ionic bonded type photosensitive polyimide precursors.[14]

온 결합 형태로 도입한 독자 기술을 개발하여 "Photoneece"라는 상품명으로 상업화하였다. 이것은 그림 10과 같이 polyamic acid와 acryloyl기를 가진 3차 아민이 혼합된 형태로서 에스테르형과 비교하여 현상시 팽윤 현상이 발생하지 않아 해상력이 우수하고, 감광기의 제거가 용이하여 필름 물성이 우수하며, 낮은 이미드화 온도가 특징이다.[14]

3.3.2 Positive Working System

Negative형과 비교하여 positive형이 가지는 가장 큰 장점은 현상액으로서 유기용제 대신 알카리 수용액을 현상액으로 사용하는 데에서 기인한다. 알카리 수용액, 주로 2.38 wt% tetramethyl ammonium hydroxide(TMAH) 수용액을 현상액으로 사용함으로써 작업 환경(크린룸) 관리와 폐수 처리 측면에서 보다 환경 친화적이며, 유기용제를 현상액으로 사용하는 negative형에 비하여 팽윤될 위험성이 작아 패턴의 안정성이 뛰어나다. 그리고 positive형에서는 가공하고자 하는 미세 line이나 hole 부분에만 노광을 하므로, 전면 노광하는 negative 형에 비하여 광조사 면적이 상대적으로 매우 작기 때문에 dust particle 등에 의한 불량 발생 가능성이 매우 낮아 신뢰성이 향상될 수 있다.

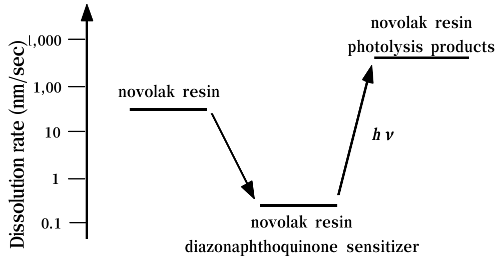


그림 11. Three-level dissolution rate scheme for a commercial DNQ/novolak resist.

이러한 장점들로 인하여 최근 각 업체들에서는 positive형 제품 개발에 주력하고 있으나, 개발의 난이도로 인하여 Sumitomo Bakelite, HD microsystem사 만이 신뢰성있는 제품을 양산하고 있는 실정이다. Positive형에는 제조 업체별로 여러 가지 유형이 있으나 상용화된 제품을 중심으로 대표적인 몇 가지만 소개하고자 한다.

1) 용해억제형(Dissolution inhibition principle)

현재 상용화된 positive형 제품에서 주로 채택하고 있는 방식은 용해 억제형이다. 용해억제형은 일반적인 *i*-line photoresist에서 주로 사용하던 방식으로 그림 11과 같이 novolak 수지의 hydroxy기를 diazonaphtoquinone(DNQ)류의 용해 억제제로 극성 결합을 통하여 blocking 하여 알카리 수용액에 대한 용해도를 억제시키고, 이를 노광하면 DNQ가 indencarboxylic acid로 전환되면서 노광부의 용해속도가 촉진되어 용해되며 제거되는 방식이다.

이러한 DNQ를 용해억제제로 polyamic acid에 적용하면 알카리 현상액에 대한 카르복실기의 높은 용해특성으로 인하여 novolak의 hydroxy기에서처럼 노광부와 비노광부의 용해도 차를 부여하기가 어려우며, 따라서 용해억제 방식이 감광성 폴리이미드에 적용되기 위해서는 polyamic acid 자체의 용해도를 저하시키기 위한 방법들이 우선적으로 적용되어야 한다.

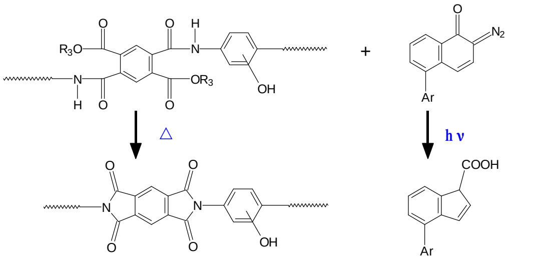


그림 12. Chemical principle of HD - 8000.

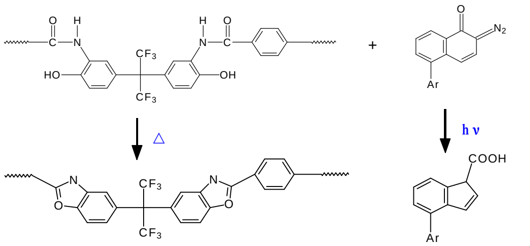


그림 13. Chemical principle of Sumotomo Bakelite's PSPBO.[18]

일본 Hitachi Chemical과 미국의 Du Pont사의 Liquid Polyimide 사업을 위한 합작사인 HD Microsystems사의 "HD - 8000"에서는 polyamic acid의 용해도 조절을 위하여 그림 12와 같이 카르복실기를 methyl기 혹은 ethyl기로 protecting하고 hydroxy기를 한 개 이상 가진 diamine을 사용하여 polyimide precursor를 제조하여 DNQ와의 혼합에 의해 효과적으로 용해속도 차를 부여할 수 있다.

Sumitomo Bakelite사에서는 폴리이미드와 유사한 구조의 내열 재료인 polybenzoxazole(PBO)을 이용하여 감광성 PBO인 "CRC - 8000"을 상용화하였다(그림 13). PBO precursor로서 *o* - hydroxy polyamide는 NQD와 극성 결합을 통하여 노광부와 비노광부의 높은 용해속도 차가 부여되어 photoresist 수준의 우수한 해상력을 보유한 것으로 알려져 있다.

2) 화학증폭형(Chemical amplification type)

화학증폭형 시스템은 KrF photoresist에 널리 사용되고 있는 방식으로서, 폴리이미드 또는 polyamic acid의 side chain에 산에 의해 탈리 가능한 *t* - BOC 또는 acetal기와 같은 acid - labile group을 도입하고 이를 광산발생제(photo acid generator)와 혼합하여 UV에 조사하면 광산발생제에 의해 발생된 산에 의하여 *t* - BOC 또는 acetal group이 탈리되어 노광부가 알카리 수용액에 용해된다. 그림 14에 *t* - BOC group이 도입된 polyimide precursor의 deprotection mechanism을 예로서 나타내었다.

그러나 이와 같은 soluble polyimide의 hydroxy기에 acid - labile group을 도입하는 방식은 imide ring이 폐환됨으로 인한 precursor 상태에서의 UV 투과도 저하 및 치환기 도입 반응의 재현성 부족 등의 이유로 상용화하기는 어려운 기술이라 할 수 있다.

3.4 결 론

폴리이미드는 소재의 중요성에 비해서 현재 국내 생산기반이 전혀 없는 상태이며 전량 수입에 의존하고 있다. 이는 폴리이미드가 반도체, LCD 등 첨단 부품에 사용되는 재료이기 때문에 요구되는 기술 수준이 높은 데에서 기인한다. 폴리이미드의 제조 기술은 여러 기술이 복합화된 기술로서 고분자 제조 기술, 1.0 ppm 이하의 고순도 정제기술, chip 내의 금속/고분자, 고분자/고분자 각 계면에서의 물리화학적 현상 해석 기술, 필름화 기술(경화) 등 다양한 분야의 기술이 복합화 되어 시너지를 발휘해야 완성될 수 있는 기술이기 때문이다.

현재 국내의 폴리이미드 관련 기술의 개발은 삼성종합기술원, 제일모직(주) 화학연구소, (주)새한 등에서 활발히 이루어지고 있으며, 감광성 폴리이미드, 액정배향막 등의 기술 개발 수준은 선진 업체 수준에 근접하고 있어 조만간 상업화가 가능할 것으로 전망된다.

반도체 소자의 끝없는 고집적, 대용량화에 따라

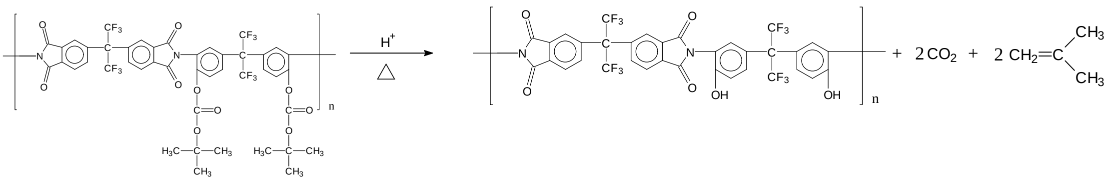


그림 14. Deprotection reaction of *t* - BOC protected polyimide procursor.[14]

device 제조 기술 및 조립 공정도 현재와 다른 기술 개발이 요구되고 있으며 이는 새로운 전자 재료의 개발을 필요로 한다. 또한 반도체 소자 제조 업체마다 공정별 차이가 커져, 폴리이미드 재료에 요구되는 특성도 다양화하고 있으며, 반도체의 판매 경쟁이 심화됨에 따라 고기능화와 제조 비용 저감이 동시에 요구되고 있다. 21세기의 전자재료에 적합한 폴리이미드의 개발을 위해서는 이용 기술의 축적과 함께 향후 폴리이미드에 요구되는 기술 개발을 정확히 예측해 기존의 폴리이미드가 갖는 장점과 함께 새로운 기능을 부여해 나가야 할 것이다.

4. 저유전 박막 소재

4.1 서　론

반도체(LSI)는 크게 메모리와 비메모리 반도체로 나눌 수 있다. 대표적인 메모리 반도체인 DRAM의 경우에는 생산 원가를 낮추고 기억 용량을 증대하기 위해 device shrink (집적도 향상)가 공정 개발의 큰 축을 이루고 있다. 비메모리 반도체의 경우는 device shrink 외에도 데이터 처리 속도(data processing speed)를 향상시키는 것이 경쟁력 확보의 관건이 되고 있으며, MPU(micro-processor unit, 연산장치)와 SoC(system-on-chip)를 그 대표적인 예로 들 수 있다. 데이타 처리 속도는 device architecture와 사용되는 재료의 특성에 의해 결정된다.

저유전막(low dielectric constant material, low-k)은 주로 MPU 등의 비메모리 반도체의 속도 향상을 위해 필요한 재료이며, 우리가 흔히 알고 있는 DRAM으로의 잠재적인 적용 가능성은 현재로서는 크지 않은 것이 사실이다. 오래 전부터 저유전막 적용의 필요성이 제기되어 왔지만 국내 반도체 산업이 DRAM에 치중되어 발전되어 왔기 때문에, 미국이나 일본, 그리고 심지어 대만의 반도체 산업에 비해 상대적으로 저유전막 개발 및 적용 연구가 등한시 되어왔던 면이 있었다. 하지만, 근년에 DRAM 편중에서 벗어나 비메모리 반도체 개발에 관심을 가지기 시작한 이후로 저유전막 적용 연구를 본격화하였다. 더우기 2000년 IBM이 Dow Chemical의 SiLK를 ASIC 제품에 적용하여 동작 속도를 30 % 향상시켰다는 발표가 있은 이후로는 공정 및 제품 적용 연구가 더욱 가속화되었다.

본 글에서는 저유전막의 필요성과 개발 방향을 우선적으로 설명하고 integration issue 및 박막 특성 평가 항목을 정리하고자 한다. 또한 저유전 물질의 종류 및 특성에 대하여 간략히 설명하고자 한다.

4.2 저유전막의 필요성 및 연구 동향

저유전막의 필요성을 이해하기 위해서는 반도체 내부 구조와 RC delay에 대한 기본적인 이해가 필요하다. 반도체 chip의 내부를 살펴보면 데이타 처리를 담당하는 트랜지스터와 data를 외부로 전달하고 트랜지스터에 전원을 공급하는 interconnection으로 이루어져 있다. 데이터 처리 속도의 지연은 트랜지스터의 속도 지연에 기여하는 gate delay와 interconnection에서의 속도 지연에 기여하는 RC delay로 나눌 수 있다.[19] 그림 15에서 보는 바와 같이 device가 shrink함에 따라, gate delay는 감소하지만 RC delay는 증가하게 된다. 따라서, 비메모리 반도체의 고집적화, 고속화를 달성하기 위해 RC delay를 감소시키는 재료를 찾는 것이 필수적이다. Interconnection는 신호가 직접 전달되는 금속 배선(metal line)과, 금속 배선사이를 절연시키는 절연막(insulating layer)으로 구성되어 있다. RC delay는 금속 배선의 비저항과 절연막의 유전율에 의해서 결정된다(RC~ρk, ρ: 비저항, k: 유

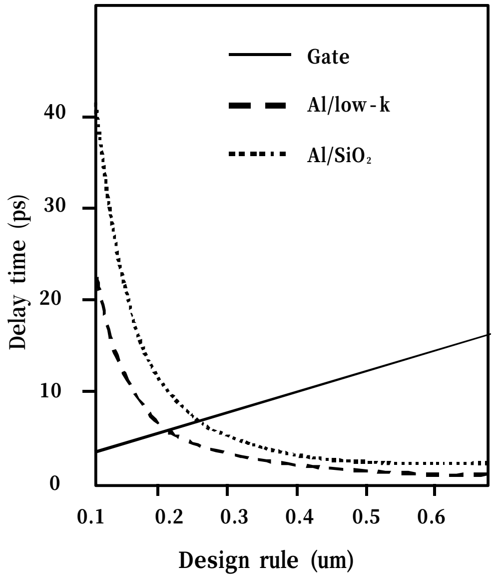


그림 15. Design rule이 감소함에 따라 RC delay가 증가.

표 5. 저유전물질 연구 개발 Roadmap

Year	1999	2002	2005	2008
Feature Size (nm)	180	130	100	70
K ~ 3.4 Fluorinated Silica Glass				
K ~ 3.0 - 3.2 ydrogen Silsesquioxane				
K ~ 5 - 3.0 Spin - on organic polymer Spin - on inorganic dielectric CVD carbon doped SiO2				
K ~ 1.8 - 2.3 Xerogel Surfactant/copolymer templated SiO2 Fluoropolymer Porous spin - on organic polymer Porous spin - on inorganic dielectric CVD carbon doped SiO2				
K ≤ 1.5 Porous dielectrcs and air gap				

Research required Development required Qualification

표 6. 유전율 2.5 ~ 3.0 저유전막의 분류 및 제조 회사(괄호안의 숫자는 유전율)

성막 방식 \ 조성	유기계	무기계
도포 (spin-coating)	SiLK (Dow Chemical, 2.6) BCB (Dow Chemical, 2.7) FLARE (Honeywell, 2.8)	FOx (Dow Corning의 HSQ, 3.0) HOSP (Honeywell의 MSQ, 2.6) JSR (LKD - T200, 2.6) 日立化成공업 (HSQ - R7, 2.8)
증착 (CVD)	Parylene (2.5) α - C:H(F) (2.2 - 2.7)	Black Diamond (AMT), 2.7 - 3.0) CORAL (Novellus, 2.7 - 2.8)

전율). 비저항 2.7 mΩ - cm의 Al에서 비저항 1.7 mΩ - cm의 Cu로 바꾸는 방법과 저유전율의 절연막(저유전막, low - *k*)을 적용하는 방법이 RC delay를 감소시키는 데 모두 유효하다. 이 두 방법을 동시에 적용하느냐 아니면 어느 한가지를 먼저 채용하느냐 하는 것은, 각 소자 업체 (LSI maker)의 공정 개발 수준과 device 종류에 따라 달라지지만, 궁극적으로 Cu와 저유전막의 동시 채용으로 가게 될 것이다. 특히 저유전막은 성막 방법이나 물질의 조성 변화에 따라 유전율을 낮출 수 있는 가능성이 아직도 많이 남아있기 때문에 반도체 소자 업체나 재료 업체 모두 저유전막 개발에 매우 큰 관심을 가지고 있다.

표 5는 각 연도별로 저유전막의 연구와 개발 동향을 정리한 저유전 roadmap 이다.[20] 반도체 소자 업체의 사정에 따라 다소 다를 수 있지만 유전율 3.4의 fluorinated silica glass(SiOF)는 이미 반도체 chip 생산에 적용되고 있다. 또 유전율 2.5 - 3.0 의 저유전막에 대해서는 재료 개발이 완료되었고(표 5와 6), 소자 업체에서 공정 개발 (process development) 단계에 있는 상태이다. 기본 공정 scheme이 완성이 되었기 때문에 늦어도 2년 내에 대부분의 소자 업체들이 chip 생산에 적용할 수 있을 것으로 판단된다. 재료 업계의 최근 연구 개발 동향은 유전율 1.8 - 2.3의 저유전막 개발로 그 초점이 옮겨져 가고 있다. 일부 저유전막의 경우에는 이미 소자 업계와 공동으로 기초 공정 적용성 평가가 진행되고 있다. 하지만, 아직 chip 생산에 적용

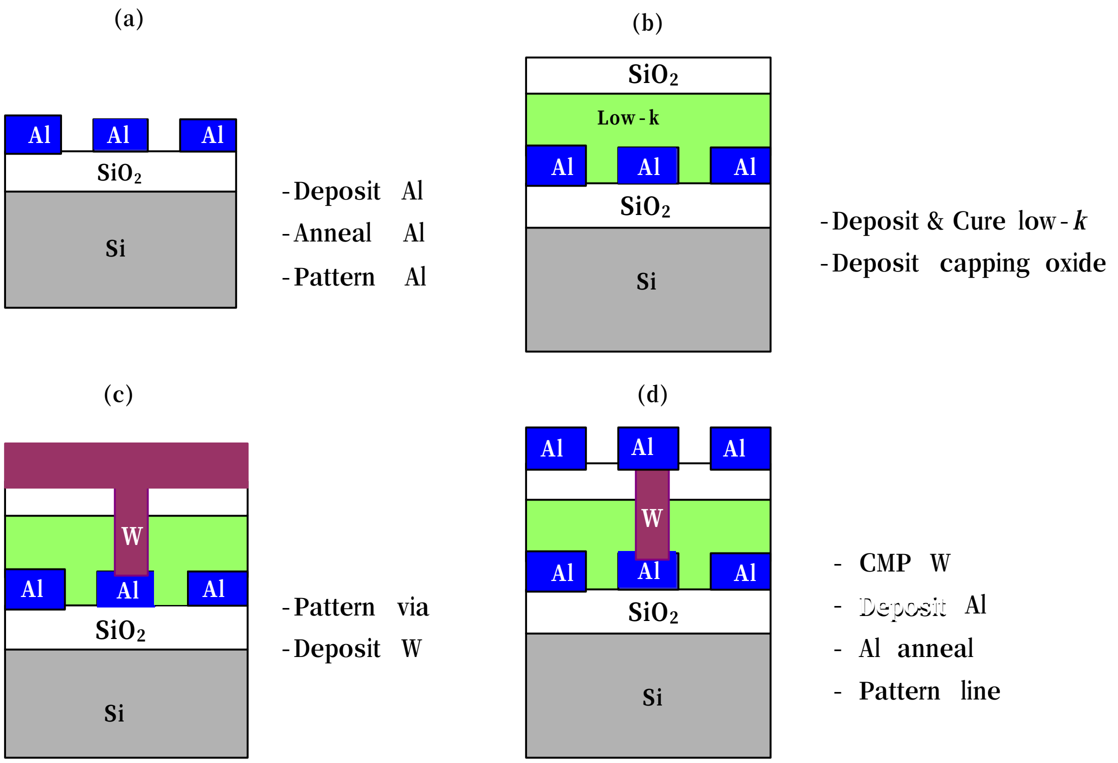


그림 16. Al 배선 공정의 integration scheme.

할 만큼 막 특성이나 공정 특성이 확보된 물질은 없는 상황이기 때문에 Dow Corning, Dow Chemical, Honeywell 등의 미국계 회사, JSR, 日立化成공업 등의 일본계 재료 회사를 필두로 치열한 경합이 벌어지고 있는 분야이다. 앞으로 4년 내에 2-3개의 재료들이 공정 scheme을 확보할 수 있을 것으로 예상된다.

저유전막은 성막 방법에 따라 chemical vapor deposition (CVD, 기상 증착) 방법과 spin-on (도포) 방법으로 나눌 수 있다. CVD 방법에서는 precursor를 기상이나 기판 위에서 열에너지나 플라즈마 에너지로 분해시킨 후 기판 위에 막을 증착시키게 되는데, 기판의 온도나 플라즈마 조건 등을 변화시켜 유전율과 막 특성을 비교적 쉽게 조절할 수 있기 때문에 process engineer나 material engineer가 선호하는 경향이 있다. 하지만 유전율을 2.0 이하까지 낮출 수 있는 가능성 (k extendability)이 크지 않다는 의견이 대세이다. 한편, precursor solution (전구체 용액)을 바로 기판 위에 도포하는 spin-on 방식은 고분자 화학과 유기화학 분야의 다양한 합성 기술을 활용할 수 있고, 특히 수 nm 크기의 기공을 막내에 도입하여 유전율을 낮출 수 있는 pore engineering이 가능하기 때문에 k extendability 면에서 CVD 방법에 비해 뛰어나다.

4.3 Integration Issue와 박막 특성과의 상관성

반도체 chip에 저유전막을 integration시킬 때 필연적으로 구조나 기능상의 문제점(integration issue)들이 생길 개연성이 아주 높다. 그 이유를 크게 두 가지로 설명할 수 있다. 첫째, 기존의 반도체 line에 설치되어 있는 공정 장비들이 90년대 중반까지 약 30 여년 동안 유전율 4.0의 SiO_2라는 절연막을 중심으로 발전되어 왔기 때문이다. 둘째, 저유전막이 저유전율 특성을 가지기 위해서는 막의 밀도가 감소할 수 밖에 없는데, 저밀도화는 필연적으로 막의 신뢰성을 저하시키기 때문이다.

그림 16은 Al (알루미늄) 금속으로 interconnection을 형성할 경우에 integration scheme을 설명한 것이다. Al을 증착하고 패터닝한 후, 층간 절연막으로 저유전막을 사용한다(그림 16 (a),(b)).

표 7. 주요 저유전 박막 특성 평가 항목

Property	Techniques	Property Requirement (Rev. 0 target)
Dielectric Constant	CV technique (MIS, MIM dot structure)	Minimum dissiaption factor
Dielectric Breakdown	IV technique ((MIS, MIM dot structure)	
Thermal Stability	TGA, TDS, thermal cycling	1 % weight loss in N_2 (>400 ℃)
Adhesion	Tape pull, modified - edge lift - off	Pass tapev test - dielectric to dielectric - metal to dielectric - dielectric to dielectric
Mechanical Property (hardness, modulus)	Nanoindenatioon	
CTE (in - plane)	Dual bending beam	< 50 ppm /℃ @ 200 ℃
Stress	Bending beam	- 1.0E9 ~ 1.0E9 dyne/cm2
Moisture uptake	Quartz - crystal microbalance, FT - IR	< 1% @ 100% RH

삭각 공정으로 저유전막 내에 수직 통로(via)을 만들고 W (텡스텐) 금속을 증착한다(그림 16 (c)). 절연막 상부에 증착된 W을 기계화학적 연마 공정(CMP)으로 깍아낸 후 Al을 다시 증착/패터닝하여 Al 배선의 interconnection을 완성한다. 이상의 공정 scheme으로부터 저유전막이 가져야 되는 물성(film property requirement)을 도출해 낼 수 있다. 우선 Al 열처리 공정과 SiO_2 증착시 가해지는 400 ℃ 이상의 온도를 견딜 수 있을 정도의 열적 안정성을 가져야 한다. 상하로 인접한 CVD SiO_2 막과 좋은 접착성을 확보하여야 할 뿐 아니라 열팽창계수가 작아 스트레스 비적합(stress mismatch)이 크게 유발되지 않도록 해야 한다. 패턴을 형성하고 via을 형성하는 과정에서 크랙이나 변형이 발생하지 않기 위해서는 hardness, modulus, toughness 등의 기계적 성질이 우수하여야 한다. 이상으로부터 박막 특성 평가 항목과 특성 기준(property requirement)을 정리하면 표 7과 같다.

한편 via를 형성하기 위한 식각 공정과 애싱(ashing) 공정단계에서 via에 노출된 저유전 물질이 물리적, 화학적으로 변형되는데 본래의 저유전막 성질을 잃어버리는 현상이 발생하게 된다. SiO_2 막과 같은 절연막은 CF_4 계열의 etchant와 반응하여 SiF_4와 CO_2 기체가 되어 제거되고 수직 방향으로 via가 만들어지게 된다.

$$SiO_2 + CF_4 \rightarrow CO_2 + SiF_4$$

그런데, 탄소가 포함된 저유전막의 경우에는 탄소 화합물 찌꺼기가 via 측벽에 생성되어 etch process를 비정상적으로 만들게 된다. 또, 패터닝 과정에서 SiO_2 상부에 남아 있는 PR를 제거할 때 쓰이는 O_2 plasma에 의해 막이 화학적으로 심하게 변형되어 크랙이나 H_2O가 생성되는 ashing damage가 발생하게 된다. 막의 밀도가 감소하면 etchant나 산소 radical 들이 막 내부로 더 깊숙히 침투할 수 있기 때문에 via 모양의 불량이나 ashing damage 문제는 더욱 심각해질 가능성이 클 뿐만 아니라, 저유전막의 종류에 따라 문제의 정도와 양상이 달라지게 된다. 이 문제를 극복하기 위해서는 저유전막에 적합한 공정 장비가 새로 개발되지 않으면 안된다. 이렇게 공정 정비를 한가지로 정하기 어려운 상황때문에 반도체 line에 저유전물질이 본격적인 채용되는 시기가 미루어졌던 것이다. Cu 배선 공정의 경우에 발생하는 integration issue도 본질적으로 Al 배선 공정의 문제점들과 다르지 않으나 저유전막이 via에 더 많이 노출되고 기계화학적 연마 공정에 더 직접적인 영향을 받기 때문에 integration scheme을 개발하기가 더욱 어렵다.

4.4 유전율 2.5 - 3.0의 저유전막 개발 현황

90년대 중반 이후 유전율 3.5의 CVD SiOF와 유전율 3.0의 FOx (Dow Corning의 hydrogen silsesquioxane 물질)가 전 세계적으로 반도체 chip에 적용이 되어왔지만 이들 저유전막은 기존에 SiO_2에 사용되었던 공정들을 거의 그대로 사용했다는 면에서 진정한 의미의 저유전막이라고 말할 수 없다. 공정 장비의 교체를 불러일으킨 유전율 2.5 - 3.0의 제 1세대 저유전막을 소개하고자 한다. 제 1세대의 대표적인 저유전막으로 미국 AMT사에서 개발한 CVD SiOC 막인 black diamond가 있으나, 본 글에서는 고분자 재료에 집중하기로 한다.

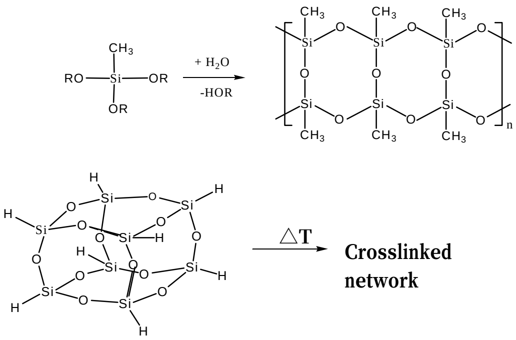


그림 17. Silsequioxane의 합성 scheme.

4.4.1 Poly(silsesquioxane)

Poly(silsesquioxane)은 spin-on 방법으로 제조하는 대표적인 무기계 저유전막이다.[21] 이들 고분자 재료는 보통 trialkoxysilane를 단량체로 하여 합성한다. 가장 많이 알려져 있는 것은 poly (methylsilsesquioxane) (MSQ, e.g. Honeywell의 Accuspin T-18)과 poly(hydrido-silsesquioxane) (HSQ, e.g. FOx) 이다. 단량체의 trifuctional한 특성에도 불구하고 poly(silsesquioxane)은 가교되지 않고 대신에 사다리 타입의 구조를 가지게 된다 (그림 17). Cage structure를 단량체로 사용하면 부분적으로 가교된 구조의 막을 얻게 된다.

HSQ의 경우에는 350 ℃에서 경화하면 낮은 stress 값을 가지는 유전율 3.0의 저유전막을 얻을 수 있다. Modulus값은 경화 온도에 따라 다르지만 9.5 GPa에서 12.5 GPa의 값을 가지는데, 이 값은 유기계의 저유전막보다 상당히 높은 것이다. HSQ의 유전율은 경화 온도의 변화나 대기(예를 들면 산소의 함량)에 크게 영향을 받는다. 이에 반해 MSQ는 HSQ 보다는 경화 온도나 대기에 덜 민감한 것으로 알려져 있다.

HSQ, MSQ 모두 유전율 4.0의 SiO_2와 그 화학적 구조가 유사하기 때문에 기존의 integration 공정을 그대로 적용을 적용할 수 있다는 장점이 기대되기도 했었다. 그렇지만 실제는 꼭 그렇지가 않다. 경화 온도에 따라 정도의 차이는 있겠지만, 밀도가 낮고 Si-H, Si-CH_3 등이 막 내에 존재하기 때문에 일부 공정 장비의 교체가 필요하다.

4.4.2 SiLK

SiLK는 유전율 2.65의 aromatic thermosetting polymer이다.[22,23] 1995년 6월 Dow Chemical은 새로운 저유전막을 개발하기로 결정하고, 반도체 산업계와의 기술 교류을 통해 목표 물성 (specific performance target)을 선정하였다. 분자 modeling을 거쳐 1996년에 고분자 조성(specific polymer composition)을 확정하고 1997년 4월에 SiLK semiconductor dielectric이라는 이름으로 새로운 저유전막을 공개하였다. 2000년 4월, IBM은 SiLK를 0.13 ㎛ Cu 배선 공정에 적용하여 device의 속도와 성능을 약 30% 향상하였다고 발표하였다. 분자 설계로부터 제품 적용까지 불과 5년 밖에 소요되지 않았지만, Dow Chemical의 축적된 고분자 재료 개발 역량과 IBM의 Cu/low-k 공정에 대한 선행 연구가 있었음을 간과하면 안 될 것이다.

반도체 산업계의 요구는 크게 3가지 였다고 한다. 첫째, 내열 온도를 400 ℃ 이상으로 하는 것이다. 앞서 설명한대로 interconnection 형성시에 전후 공정에 견디어야 하기 때문이다. 둘째, 재료 성분에 F를 도입하지 않아야 한다. F가 도입되면 저유전막과 금속 배선(특히 Cu)사이에 위치하는 확산 방지막과 F가 반응할 수 있어 Cu의 확산 방지가 어렵게 된다. 셋째, 향후 재료의 조성을 크게 바꾸지 말고 유전율을 추가로 낮출 수 있어야 한다. 이것은 소자 업계로 하여금 공정을 크게 바꾸지 않고 k extendability를 확보할 수 있도록 하려는 전략이다.

개발 초기 60종의 후보 물질이 고려되었다고 알려져 있다. 상업화된 것은 cyclopentadienone과 acetylene계 물질로부터 crosslinked polyphenylene을 합성하는 방법이다 (그림 18). Polyphenylene으로부터 열적 안정성을 확보하면서도 용해도를 확보하려는 전략이다. 합성된 올리고머는 용매에 잘 녹아 코팅이 잘되고, wafer 위에서 가교고분자로 변환되는 것이다.

633 nm의 파장에서 측정된 SiLK의 굴절률은 1.628이다. 이 값을 제곱하면 정확히 유전율 2.65를 바로 얻을 수 있는데, orientational polarization에 의한 유전율 증가가 없기 때문이다. 이는 SiLK가 nonpolar structure를 가지기 때문이며 그 결과 수분 흡수가 매우 적게 된다. SiLK의 기계적 특성은 기존의 silicate 계열 저유전막과 그 경향을 달리한다. Hardness와 modulus는 떨어지지만 fracture toughness는 0.62 M Pa.m$^{1/2}$로 동일 유전율의 무기계열(silicate) 저유전막 대비 2배 이상 우수한 것으로 알려져 있다.

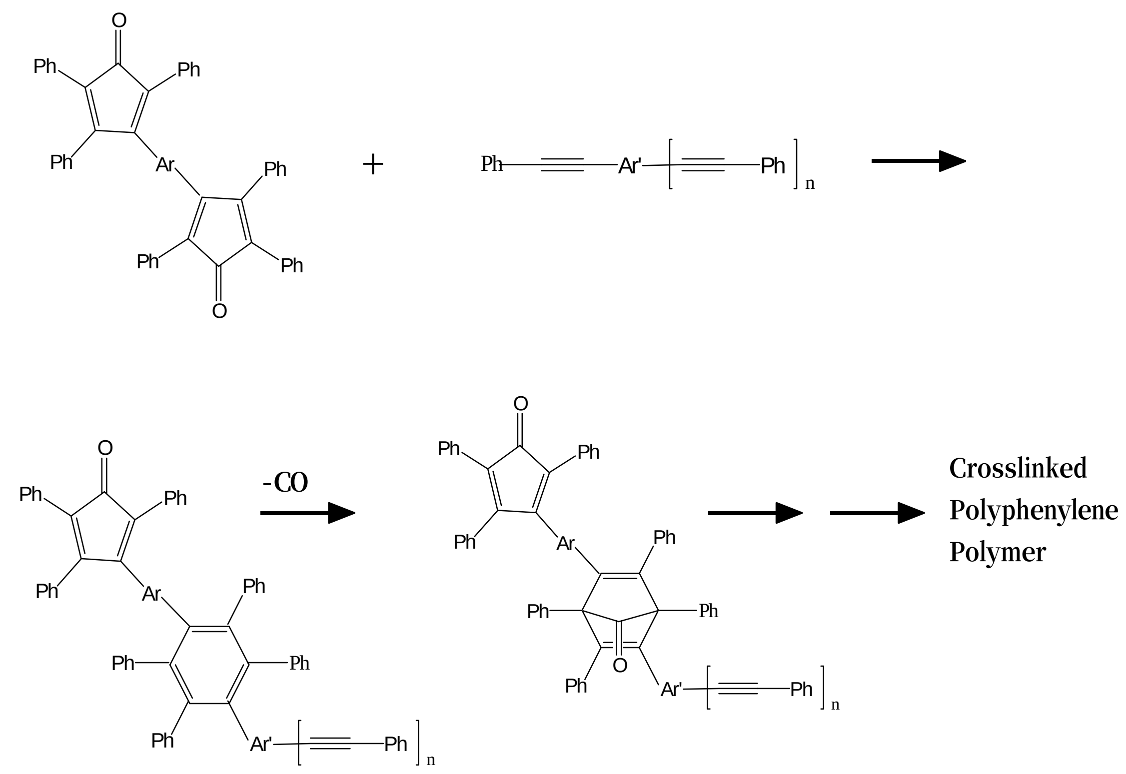


그림 18. Cyclopentadiene계 물질과 acetylene-substituted monomer로 부터 crosslinked polyphenylene을 형성한다.

SiLK는 유기막이기 때문에 PR와 etch 속도의 선택비의 매우 낮게 된다. 따라서 실제 SiLK 막의 패터닝 공정에서서는 SiO_2를 hardmask로 이용하게 되는 점이 기존의 silicate 저유전막에 적용되는 공정과 다른 점이 된다. 우수한 fracture toughness 때문에 기계 화학적 연마 공정에서 가해지는 높은 값의 shear stress에도 견딜 수 있다고 한다.

4.5 유전율 1.8 - 2.3의 저유전막 개발 현황

제 1세대의 저유전막에 관한 한, 새로운 재료의 연구 및 개발의 가치는 사실상 사라졌다고 볼 수 있다(기존 제품을 대치하기 위한 연구 개발의 가치는 아직 남아있기는 하다). 2000년 4월 IBM이 SiLK integration에 성공한 이후로 많은 system LSI (비메모리 반도체) 회사들이 이를 따르고 있기 때문이다. 그 다음 단계인 유전율 2.0 근처의 저유전막에 대해서는, integration 단계에서 적용 가능성을 확실히 보장해줄 수 있는 막은 현재까지 존재하지 않는다. 이는 제 1세대 저유전막에서처럼, 공정의 개념 및 장비가 또 한번 교체될 가능성을 시사하는 것이다. 필자는 앞으로 약 4년 정도면 유전율 2.0 대의 저유전막에 적합한 공정 장비가 개발될 것으로 생각한다. 이 때까지 여러 재료 업체들이 경합할 것이며, 상당한 기간 동안 유전율 2.0의 저유전막 개발의 기회는 남아있다고 말할 수 있다.

유전율 2.0 의 저유전막을 구현하기 방법중의 하나로 TEOS를 반응 precursor로 이용하여 졸-겔 반응을 거쳐 xerogel (e.g., Honeywell의 Nanoglass)를 만드는 방법이 있다. Nanoglass은 막의 기계적 특성이 떨어지고, 기공이 서로 연결되어 있어(open pore) integration에 부적합한 것으로 보는 견해가 우세하다.

최근에 막내에 기공을 유도하는 물질을 전구체 용액에 블렌딩하여 다공성 저유전막을 만드는 방법이 많이 시도되고 있다(Porogen-templated approach).

기공을 형성하게 될 porogen 물질과 망상 형성(network-forming) 물질을 블렌딩하여 전구체 용액을 만든 후 이를 spin coating하면 그림 19와 같이 porogen과 망상 형상 물질의 nanophase separation이 유발된다. 그 다음 porogen을 열분

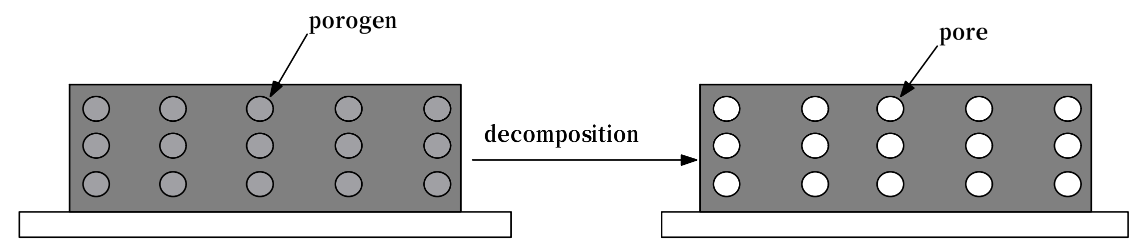


그림 19. Porogen이 decomposition 되어 제거되고 pore가 형성된다.

해시켜 날려버리면 poroegn이 위치했던 자리에 기공이 남게 된다. 망상 형성 물질로부터 만들어지는 network (matrix) 자체의 유전율을 k_1이라고 하면, 다음 식을 이용하여 전체 막의 유전율 k를 근사적으로 추정할 수 있다.

$$k = k_1 \times V_1 + k_{air} \times V_{air}$$
$$= k_1 \times V_1 + 1.0 \times V_{air}$$

여기서 V_1 과 V_{air}는 각각 matrix와 기공의 부피분율이다. 따라서 전체 막의 유전율은 기공의 부피분율 만큼 감소하게 된다.

Porogen templated 방법에서 가장 중요한 것은 기공 크기를 수 nm로 제한하고 기공 크기 분포가 균일하게 유지되도록 하는 것이다. 상분리 조절에 실패하는 경우, 기공의 크기가 수십 nm서 수백 nm까지 되어 더 이상 저유전막으로서 의미가 없게 된다. 상분리 문제를 해결하기 위해서는 porogen과 망상 형성 물질의 compatibility를 결정하는 인자를 먼저 찾아야 하며 이를 분자 design에 반영해야 한다.

가장 잘 알려진 연구 결과는 inorganic 계열의 망상 형성 물질과 polycarprolactone 계열의 poregen를 이용하여 유전율 2.0 이하의 다공성 저유전막을 만든 결과이다.[24] 30에서 50 Å의 크기의 pore가 서로 연결되어 있지 않는 closed pore system임을 확인하였다고 한다. Polynorbonene계열의 물질을 porogen으로 사용하는 유사한 연구결과도 있다.[25]

4.6 맺 음 말

비메모리 반도체 속도 향상의 관건은 interconnection에서 발생하는 RC delay이다. 이를 감소시키기 위하여 저유전막을 개발하고 반도체 chip에 적용하려는 노력이 지속적으로 진행되어 왔으며 특히 90년대 중반 이후 가속화되었고, 최근 들어서는 유전율 2.5-3.0의 제 1세대 저유전막에서 유전율 2.0의 저유전막으로 연구 개발의 촛점이 바뀌고 있는 상황이다. 저유전막은 chip 내부에 남아 전후 여러 공정들의 직간접 영향을 받기 때문에 요구되는 막 특성이 상당히 까다롭다. 재료업계에서는 공정과 재료의 상관 관계를 이해하고 소재를 design하는 것이 중요하고, 반대로 반도체 소자 업체에서는 소재의 물리 화학적 특성으로부터 공정 개발의 방향을 잡는 것이 필요하다.

유전율 2.0의 저유전막 개발에 주로 시도되는 기술은 porogen을 블렌딩한 후 막을 만들어 다공성 저유전막을 만드는 것이다. 이와 관련하여 porogen과 망성 형성 물질과의 compatibility를 화학적으로 조절하는 기술과 기공을 분석하는 기술이 매우 중요하다. 향후 4년 안에 다공성 저유전막을 반도체 chip에 적용시킬 수 있는 공정 기술이 확보될 것으로 예상되며, 이 경우 자연스럽게 유전율 2.0의 저유전막 물질의 winner가 결정이 될 것이다.

재료 연구자의 입장에서 저유전막의 연구로부터 무엇을 배울 수 있는가? 합성과 물성 평가, 그리고 공정이 만나고 서로 협력하여야 일정 수준의 최종 연구 결과를 기대할 수 있다는 사실을 확인할 수 있을 것이다.

참 고 문 헌

1. 2000 SIA(Semiconductor Industry Association) Technology Roadmap, http://public.itrs.net/
2. H. Ito and C. G. Wilson, *Polymer Eng. Sci.*, 23, 1012 (1983).
3. S. A. MacDonald, N. J. Clecak, C. G. Wilson, and S. J. Holms, *Proc. of SPIE*, 1466, 2 (1991).
4. K. Asakawa, T. Ushoroguchi, and M. Nakase, *Proc. of SPIE*, 2438, 563 (1995).
5. M. Takahashi, S. Takechi, Y. Kaimoto, I. Hanyu,

N. Abe, *J. Photopolym. Sci. & Technol.*, 7(1), 31 (1994)
6. R. D. Allen, G. M. Wallraff, R. A. Dipietro, D. C. Hofer, and R. R. Kunz, *J. Photopolym. Sci. Technol.*, 7(3), 507 (1994).
7. K. Nakano, K. Maeda, S. Isawa, T. Ohfuji, and E. Hasegawa, *Proc. of SPIE*, 2438, 433(1995).
8. R. R. Kunz, et al, *Proc. of SPIE*, 3678, 13 (1999).
9. K. Patterson, M. Yamachika, R. Hung, C. Brodsky, S. Yamada, M. Somervell, B.Osborn, G. Dukovic, J. Byers, W. Conley, and C. G. Willson, *Proceedings of SPIE*, 3999, 365(2000).
10. S. Irie, S. Shirayone, and S. Mori, *J. Photopolym. Sci. & Technol.*, 13(3), 385 (2000).
11. K. MuKai and A. Saiki, *IEEE J. Solid State Circuits, SC-13*, 462(1978).
12. K. Sato and S. Harada, *IEEE Trans, Hybrid and Packaging PHP* - 176(1973).
13. L. Lothman, *Solid State Science and Technology,* 127, 2216(1980).
14. K. Horie and T. Yamashita, "Photosensitive Polyimide", p. 233, Lancaster Basel, 1995.
15. P. Cheang, L. Christensen, and C. Reynaga, Surface Mount Technology Seminar(1996).
16. R. E. Kerwin and M. R. Goldrick, *Polymer Eng. Sci.,* 11, 426(1971).
17. R. Rubner, H. Ahen, E. Kuhn, and K. Kolodziej, *Photogr. Sci. Eng.*, 23(5), 303(1979).
18. KRI Report, *Japanese R & D Trend Analysis*, 5, 112(1999).
19. M. T. Bohr, *IEEE international Electron Device Meeting*, p. 241, 1995.
20. Industry Assocaiatoion, December, 2000.
21. G. Maier, *Prog. Polym. Sci.*, 26, 3 (2000).
22. "Process 구축을 행해 저유전율 재료를 압축한다", *삼성 반도체 기술 정보*, September, 2 2000.
23. S. J. Martin, and J. P. Godschalx, et al., *Advanced Materials*, 12, 1769(2000).
24. C. H. Hawker and J. L. Hendrick, et al., "Supramolecular Approaches to Nanoscale dielectric foams for Advanced Microelectronic Devices", *MRS Bulletin*, p. 54, April, 2000.
25. A. M. Padovani and H. D. Jeong, et al., "LOW-k, Porous Methylsilsesquioxe for Interlevel Dielectric Applications", *MRS Spring, Meeting* April, 2001.