

표 1. 반도체용 고분자재료 구성 및 사용량(2002년 기준)

(단위 : ton)

	구성 재료						
	epoxy	PET	PO	PI	PVC	기타	비고
Photoresist	-	-	-	-	-	11,150	novolac계 수지, 기타
Interlayer dielectric materials	-	-	-	-	-	150	유,무기 SOG 외
Passivation film	-	-	-	215	-	40	PBO, 실리콘 등
Pellicles	-	-	-	-	-	Δ	cellulose, 불소수지 등
Background tape	-	80	460	-	-	-	-
Dicing tape	-	90	180	-	330	-	-
Die bonding materials	11.5	-	-	1.0	-	45	filler, additives
Epoxy molding compound	90,000	-	-	-	-	-	filler, additives 포함
TAB tape	-	-	-	335	-	-	동박
계	90,012	170	640	551	330	11,385	103,088

표 2. 반도체용 고분자재료 세계시장 추이 및 예측

품목	적요	2003	2004	2005예측	2006예측	평균
Photoresist (UV)	수량 (천겔론)	2,950	3,100	3,100	3,200	3,088
	전년비 (%)	105.4	105.1	100.0	103.2	103.4
	금액 (억원)	7,450	7,750	7,750	7,950	7,725
	전년비 (%)	104.2	104.0	100.0	102.6	102.7
Photoresist (Deep UV)	수량 (천겔론)	200	240	280	320	260
	전년비 (%)	142.9	120.0	116.7	114.3	123.5
	금액 (억원)	2,900	3,450	4,000	4,550	3,725
	전년비 (%)	139.4	119.0	115.9	113.8	122.0
Interlayer dielectric materials (평탄화용)	수량 (ton)	160	185	210	235	198
	전년비 (%)	110.3	115.6	113.5	111.9	112.8
	금액 (억원)	695	900	1,150	1,310	1,014
	전년비 (%)	123.0	129.5	127.8	113.9	123.5
Interlayer dielectric materials (Low k용)	수량 (ton)	12.5	23	39	65	35
	전년비 (%)	178.6	184.0	169.6	166.7	174.7
	금액 (억원)	270	500	765	1,190	681
	전년비 (%)	180.0	185.2	153.0	155.6	168.4
Pellicles	수량 (천매)	740	750	760	770	755
	전년비 (%)	100.0	101.4	101.3	101.3	101.0
	금액 (억원)	1,200	1,200	1,250	1,290	1,235
	전년비 (%)	96.8	100.0	104.2	103.2	101.0
Passivation film	수량 (ton)	260	265	270	275	268
	전년비 (%)	102.0	101.9	101.9	101.9	101.9
	금액 (억원)	1,600	1,630	1,660	1,690	1,645
	전년비 (%)	103.2	101.9	101.8	101.8	102.2
Background tape	수량 (천m ²)	3,730	3,930	3,930	4,000	3,898
	전년비 (%)	103.6	105.4	100.0	101.8	102.7
	금액 (억원)	545	570	570	570	564
	전년비 (%)	102.8	104.6	100.0	100.0	101.9

품목	적요	2003	2004	2005예측	2006예측	평균
Dicing tape	수량 (천m ²)	6,150	6,500	6,500	6,650	6,450
	전년비 (%)	102.5	105.7	100.0	102.3	102.6
	금액 (억원)	522	550	550	562	546
	전년비 (%)	101.4	105.4	100.0	102.2	102.2
Die bonding (paste)	수량 (ton)	60	63	65.5	68	64
	전년비 (%)	104.3	105.4	104.0	103.8	104.3
	금액 (억원)	1,200	1,250	1,290	1,330	1,268
	전년비 (%)	104.3	104.2	103.2	103.1	103.7
Die bonding (film)	수량 (천m ²)	160	190	220	250	205
	전년비 (%)	123.1	118.8	115.8	113.6	117.8
	금액 (억원)	420	460	520	560	490
	전년비 (%)	120.0	109.5	113.0	107.7	112.6
Epoxy molding compound	수량 (ton)	90,000	89,000	88,000	87,000	88,500
	전년비 (%)	100.0	98.9	98.9	98.8	98.8
	금액 (억원)	8,450	8,300	8,200	8,100	8,263
	전년비 (%)	99.4	98.2	98.8	98.8	98.8
TAB tape	수량 (천m ²)	2,100	2,100	2,100	2,050	2,088
	전년비 (%)	100.0	100.0	100.0	97.6	99.4
	금액 (억원)	5,200	5,100	4,900	4,550	4,938
	전년비 (%)	98.1	98.1	96.1	92.9	96.3
계	금액 (억원)	30,452	31,660	32,605	33,652	32,092
	전년비 (%)	104.7	104.0	103.0	103.2	103.7

표 3. 품목별 문제와 대책 동향

품목	point	문제점	대책동향
Photoresist	resist의 요구특성	단파장화에 따른 신뢰성, 성형성 문제 발생	차세대 resist 대응으로, 적용 수지의 검토 등 활발한 연구개발 실시 중
Interlayer dielectric materials	Low <i>k</i> 대응, 고강도 실현	LSI 미세화에 수반되는 Low <i>k</i> 재료 도입 65 nm 세대 LSI에서는 2.5 이하 유전율 필요	재료구조개질 등으로 Low <i>k</i> 재료 자체의 저유전율화 진행 도포형의 저유전율화 용이 + 고강도화의 실현으로 메인 재료의 shift 기대
Pellicles	Litho 기술의 진전	F ₂ 로는 soft pellicles의 내후성 부족 F ₂ 의 보급을 막을 우려 있음	resist, lens 등의 요소기술개발 실시 중 soft pellicles의 내후성 향상이 F ₂ 보급의 point
Passivation film	저응력화	12 in. wafer 양산화로, wafer warpage 대응 가능한 재료의 개발	저응력화 막재료의 개발 진행
	Low <i>k</i> 화	고집적화 LSI에 따른 유전율 저하 요구	본 제품은 PI계의 중간절연막재료로써 응용되고 있으며, 저유전율화 재료의 개발이 진행되고 있음
	bare chip 대응	flip chip실장 증가에 따른 bare chip 보호막 수요의 확대	후막화하여 보호막으로써의 품질 확립 신규재료가 요구되고 있음
Background tape	고집적화 및 3차원 실장에 수반되는 wafer 대형화, 박형화	wafer 박형화에 따라, Litho나 crack 대응에 더해 더욱 고도의 특성 요구	소재 및 두께 등의 적정화. 박리성의 향상과 무세정화가 point 점착제의 재검토에 의한 박리 때의 파손사고 방지, process 간략화 등의 대책
		wafer 운반 시, 박형 wafer의 Litho나 형상 변화가 문제. 운반대책성 요구	박형화 wafer 형상 유지력 보강
	dicing/die bonding 일체화에 대한 대응	일체형 tape로는 die bonding film의 접합 온도가 고온으로, EVA film으로는 대응 불가능	내열성 향상을 위해 PET film이나 다층 film을 사용
	bump/wafer 일체형	wafer back면에 dimple 잔존	점착층을 두껍게 하여 bump 높이를 흡수

품목	point	문제점	대책동향
Dicing tape	환경, 폐기물처리 대책, 특성 면을 고려한 재료 shift	탈 sodium의 요구 증대 PO계 이용 시, whisker와 같은 불량 발생 등, 기술적 문제 있음	PO계로 변환 진행중 환경성, PO계의 보존성등을 갖는 신규의 tape 개발이 요망 다층화, 소재개질 등을 과제로 하여 연구개발 진행 중
		환경보존, 성자원화 의식 증대	ABS core 재료의 recycle system 정비
	wafer 대형화 및 박형화	점착력의 억제 요구	UV type 공급에 의한 대책 더욱 향상된 점착력 억제 대책 12 in. wafer양산화로 재료요구 특성은 더욱 변화
	pick-up 공정의 간략화	chip 박막화에 따른 pick-up시 사고 방지, expand 공정 생략	dicing 후의 UV 조사, 가열에 의한 점착력 저하, base film의 확장 흡착만으로 pick-up 가능
	층간절연막의 Low k 화에 대한 대응	Low k 가 진행 중	tape 유연성 향상, 평탄화 등의 문제는 있으나, 명확한 해결 방법 모색 중 Low k 재료 사용에 따른 물성 기준 불확정으로, 구체적 대응이 곤란
Die bonding materials	solder reflow 대응	고밀도 실장, lead-free soldering 등, 고온 실장에 대한 대책	특히 내열성이 필요한 부품이나 leadframe에서는 PI계를 사용함
Epoxy molding compound	lead-free, halogen-free 대응	user 측으로부터의 대응화가 활발	lead-free와 halogen-free를 병행해서 해결하는 것이 효율적 lead-free용 solder의 실장온도 상승에 따라 내열성 등의 향상으로 대책 halogen-free에서는 OCN계로도 개발이 진행
	반도체 고집적화 및 Low k 에 대한 대응	열발산 대책, chip 강도의 보강이 package에도 요구되고 있음	filler 개질이나 탄성률 개량으로 대책
TAB tape	fine chip화	동박의 박막화	3층 TAB의 기술개량에 따라 35~40 pitch가 가능 더욱 fine pitch화된 2층 TAB 개발이 진행

<고려대학교 재료공학부 부교수 윤호규>