블록 공중합체 마이셀을 이용한 메모리 소자 연구

Fabrication of Memory Devices Based on Block Copolymer Micelles

이장식 | Jang-Sik Lee

School of Advanced Materials Engineering, Kookmin University
77 Jeong neung-ro, Seongbak-gu, Seoul 136-702, Korea
E-mail: jangsik@kookmin.ac.kr

1. 서론

반도체 소자, 특히 메모리 소자는 한국과 일본이 주도하여 세계의 기술과 시장을 이끌어가고 있다. 현재 20 nm design rule을 가지는 64 Gb급 플래시 메모리가 대량생산되어 공급되고 있으며, 향후 10 nm 급의 플래시 메모리 소자도 개발이 완료될 것으로 예측되고 있다.[1] 기존 우리나라가 전 세계를 주도하고 있던 DRAM은 전원이 제거되면 저장된 정보가 지워지는 휘발성 메모리 소자로서 최근의 휴대용 전자제품(예를 들어, 노트북 컴퓨터, 디지털 카메라, 태블릿 전자기기, 스마트폰 등)은 이러한 휘발성 메모리는 물론 전원의 공급이 제거되어도 정보가 그대로 유지되는 비휘발성 메모리 소자의 사용이 급격히 요구되고 있다. 이러한 비휘발성 메모리 소자에는 플래시 메모리(NAND, NOR 형), RRAM(resistive random access memory), PRAM(phase-change random access memory), FeRAM (ferroelectric random access memory), MRAM(magnetic random access memory) 등이 현재 많이 연구되고 있으며, 전세계 반도체 업체 및 학계에서 많은 연구원들이 다양한 메모리 소자 개발에 전력을 기울이고 있다. 상기 언급한 비휘발성 메모리 소자들의 경우, 각각 장단점을 가지고 있으며, 장점을 부각하고 단점을 개선하기 위한 많은 연구가 진행 중에 있다.

플래시 메모리의 경우, 기타 메모리 소자에 비해 간단한 구조를 가지고 있으며, 현재 모든 반도체 소자 중에서 가장 빠른 발전 속도를 보이고 있다. 플래시 메모리 소자의 경우 거의 매년 집적도가 2배씩 증가되어 오고 있다. 플래시 메모리 소자는 정보저장층의 종류에 따라 floating gate 형식, SONOS(silicon-oixde-nitride-oxide-silicon) 형식, NFGM(nano-floating gate memory) 형식으로 구분할 수 있다. 그림 1에 정보저장층의 종류에 따른 플래시 메모리 소자의 모식도를 나타내었다.[2]

Floating gate 방식의 플래시 메모리 소자는 지금까지 제품으로 생산되고 있는 메모리 소자이다. 하지만 플래시 메모리 소자의 크기가 20 nm 크기 이하로 작아짐에 따라 floating-gate interference, parasitic capacitance의 증가와 같은 문제로 인해 소자의 scaling에 큰 어려움을 겪고 있다. 이러한 문제를 해결하기 위해 정보저장층으로 사용되는 기존의 floating gate를 대체할 물질을 찾고 있다. SONOS 방식의 경우 절연체인

Author

이장식

1997 서울대학교 금속공학과(공학사)
1999 서울대학교 금속공학과(공학석사)
2002 서울대학교 재료공학부(공학박사)
2002-2004 미국 Los Alamos National Laboratory, Post-doc. fellow
2004-2006 삼성전자 반도체연구소 책임연구원
2006-현재 국민대학교 신소재공학부 부교수
2012-현재 University of Texas at Dallas, Visiting Professor

silicon nitride를 정보저장층으로 사용하기 때문에 전도체인 floating gate를 사용함에 따라 나타나는 문제점들은 없는 반면, 상대적으로 얇은 tunnel oxide의 사용으로 인해 고온에서의 정보 저장 능력에 큰 문제점을 보이고 있다. 이러한 방식의 경우, 얇은 tunnel oxide를 사용 하면, 프로그램/소거 특성이 향상되나, data retention 특성이 열화되며, 두꺼운 tunnel oxide를 사용 하게 되면 data retention 특성을 우수하나, 프로그램/소거 특성이 열화되는 상반되는 특성을 보이고 있다. 또한 silicon nitride라는 물질의 특성상, 우리가 인위적으로 정보저장층을 제어할 수 없다는 문제점을 나타내고 있다. 따라서 SONOS-type의 플래시 메모리 소자의 장점(공정단순화, 소자 크기 감소, 메모리 특성 향상 등)을 유지하면서, 메모리 소자에서 가장 중요한 정보 저장층을 인위적으로 제어할 수 있는 구조인 나노 결정 메모리 소자에 대한 연구가 또한 현재 활발히 진행되고 있다. 나노결정 메모리의 경우, 1990년 중반 미국 IBM사에서 처음으로 동작 특성을 보여준 이후로 전세계적으로 많은 연구가 진행 중에 있다.[3-7] 현재는 산업체에서도 이러한 나노결정 메모리에 관심을 가지어 IEDM(International Electron Device Meeting) 및 VLSI symposium 등 저명한 반도체 관련 학회에서 많은 연구 성과를 발표하고 있다.

나노결정 메모리의 경우, 정보저장층으로 사용되는 나노결정층 을 어떻게 잘 형성하느냐가 메모리 특성을 결정하는 가장 중요한 요소이다. 기존의 경우, 얇은 금속막을 형성한 후, 후열처리 과정을 통해 agglomeration 방법으로 나노결정을 형성하는 방법이 가장 많이 사용되고 있지만, 나노결정층의 크기 및 분포가 메모리 동작 특성에 가장 큰 영향을 미치는 나노결정 메모리의 경우, 상기 방법으로는 잘 정렬된 나노 결정층 형성이 어려운 실정이다. 반면 최근 고분자 기술의 발전으로 인하여 자기조립(self-assembly) 방법에 의한 나노 결정 형성에 관한 많은 성과가 나타나고 있다. 이러한 방법에는 나노입자를 용액 공정으로 형성한 후 기판과의 정전기적 인력에 의해 흡착시키는 방법과 나노템플릿을 이용하여 나노 입자를 템플릿 내에 형성 시킨 후 기판에 스핀코팅과 같은 방법으로 정렬시키는 방법 등이 있다. 이러한 방법들은 상온 에서 금속 나노결정 array를 형성할 수 있는 장점을 가지고 있다. 정전기적 인력에 의해 나노입자를 흡착시키는 방법의 경우 공정의 단순화 측면에서 큰 장점을 가지고 있다. 하지만 이러한 방법의 경우 나노입자의 크기 및 밀도 제어, 정렬된 나노입자 형성 등이 어렵기 때문에 메모리 소자로의 적용 관점에서는 나노템플릿 방식으로 나노 입자를 잘 제어할 수 있는 방법이 바람직하다고 할 수 있다. 나노템플릿을 형성할 수 있는 방법은 다양하게 존재하지만, 자기조립 방식에 의해 규칙적인 배열을 가지는 block copolymer micelle을 이용하여 나노입자를 형성하는 방법은 1) 저온에서 규칙적인 배열을 가지는 나노입자층 형성, 2) 나노입자의 크기 및 밀도 제어 가능, 3) 다양한 종류의 금속 나노입자층 형성 가능 등의 장점을 가지고 있다. 본 특집에서는 이러한 block copolymer micelle을 이용하여 나노입자 기반 비휘발성 메모리 소자의 제작 방법, 형성된 소자의 특성 평가 방법, 차세대 비휘발성 메모리 소자로의 응용에 대한 내용을 소개하고자 한다.

2. 비휘발성 메모리 소자의 동작 방법 및 특성 평가 방법

현재 활발히 연구가 진행되고 있는 비휘발성 메모리 소자는 크게 트랜지스터 기반 메모리 소자와 저항변화 기반 메모리 소자가 있다. 플래시 메모리 소자의 경우 트랜지스터 기반의 메모리 소자이기 때문에 본 논문에서는 트랜지스터 기반의 메모리 소자를 중심으로 살펴보고자 한다. 트랜지스터 기반의 메모리 소자의 기본 구조는 MOS(metal-oxide-semi-conductor) 트랜지스터의 gate oxide 내에 floating gate 또는 charge trapping layer(silicon nitride, 금속나노입자 등) 등이 삽입 되어 있는 형태이다(그림 1).

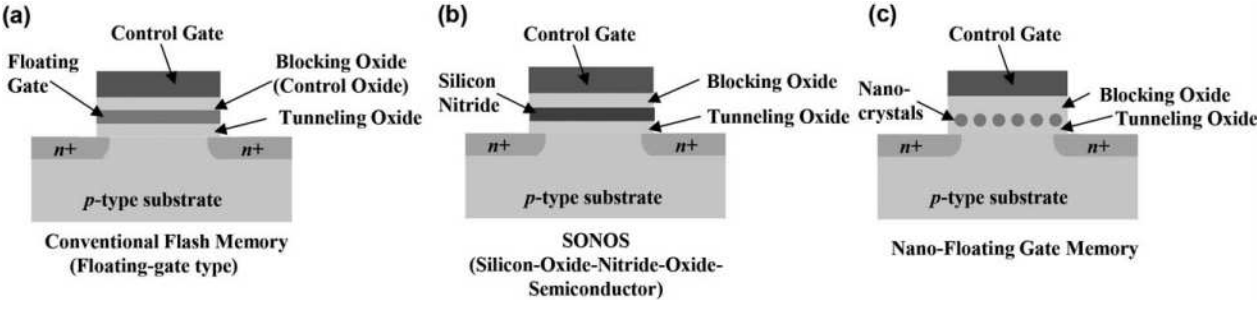

그림 1. 플래시 메모리 소자의 종류. (a) floating gate 형식, (b) SONOS 형식, (c) nano-floating gate 방식.[2]

게이트 전압에 따른 floating gate 또는 charge trapping layer에 전하의 존재 유무에 따라 channel conductance에 변화가 생겨, threshold voltage 차이가 나타나고, 이를 통해 메모리 동작을 하는 방식이다. 그림 2에 이러한 구조의 메모리 소자의 program/erase에 따른 threshold voltage 변화 및 drain current의 변화를 나타내었다.[7] 그림의 모식도는 bulk silicon 기반의 메모리 소자를 나타내었고, 현재 많이 연구가 되고 있는 유기트랜지 스터 기반 또는 산화물 박막 트랜지스터 기반의 메모리 소자의 제작에는 bulk silicon 대신 pentacene, IGZO (In-Ga-Zn-O) 등과 같은 유기반도체 또는 산화물 박막층을 이용하여 thin-film transistor(TFT) 방식의 메모리 소자를 구현하고 있다. 하지만 기본적인 구조 및 동작 방법은 그림 2와 유사하다.

비휘발성 메모리 소자의 경우 프로그램/소거 동작뿐만 아니라 저장된 정보의 시간에 따른 변화(data retention), 반복적인 동작에 따른 내구성(endurance) 등과 같은 전기적인 신뢰성 특성 평가가 중요하다. 이러한 특성의 경우 저장된 정보를 얼마나 오랫동안 유지할 수 있는지, 그리고 메모리 소자를 얼마나 많이 읽고 쓸 수 있는지를 나타내는 것으로 비휘발성 메모리 소자의 가장 중요한 특성이라고 할 수 있다. 그림 3에 data retention 및 endurance를 평가할 수 있는 test pulse sequence를 나타내었다. 그림 3(a)는 endurance 특성 평가, 그림 3(b)는 data retention 특성 평가를 위한 test pulse sequence를 나타내었다.[8] Endurance 특성 평가를 위해서는 반복적으로 프로그램/소거 전압을 인가한 후 특정한 cycle 후 프로그램/소거된 상태를 읽어 프로그램/소거 특성의 저하를 평가하는 것이고, data retention의 경우, 먼저 프로그램 또는 소거를 행한 후 일정한 시간 후 프로그램/소거된 상태를 읽어 저장된 상태의 시간에 따른 변화를 평가하는 것이다.

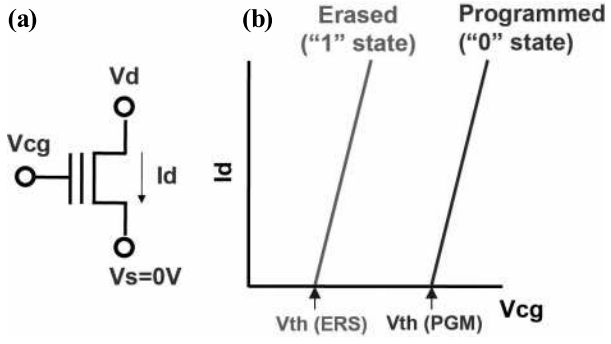

그림 2. (a) 플래시 메모리 소자의 equivalent circuit, (b) 플래시 메모리 소자의 drain current vs. gate voltage responses (V_{th}: threshold voltage, ERS and PGM은 각각 erased와 programmed 상태를 나타낸다. V_{cg}: control gate voltage).[7]

3. 나노입자 기반 비휘발성 메모리 소자

이상과 같이 기본적인 플래시 메모리 소자의 구조, 동작 방법, 특성 평가 방법에 대해 알아보았다. 앞으로는 기존에 보고된 나노입자 기반 비휘발성 메모리 소자의 제작 방법, 소자의 동작 특성 등에 대해 살펴보고자 한다.

3.1 Block Copolymer Micelle을 이용한 메모리 소자 제작

나노입자 기반 비휘발성 메모리 소자는 기본적인 소자 구조는 플래시 메모리 소자와 동일하면서, 기존 플래시 메모리 소자의 단점을 해결할 수 있는 메모리 소자라고 할 수 있다. 이러한 나노입자 기반 메모리 소자는 여러 구성 요소로 이루어져 있으며, 각각의 구성 요소에 대한 최적화를 통해 프로그램/ 소거와 같은 기본 동작 특성 외에 신뢰성 향상과 같은 특성 최적화를 이룰 수 있다. 이미 기존 플래시 메모리 소자 연구를 통해, 게이트, 절연체 등과 같은 기본적인 소자 구성 요소에 대해서는 많은 연구가 있어 왔고, 이를 통해 계속적인 소자 구조 및 물질에 대한 최적화가 이루어져 왔다. 본 특집에서는 나노입자 기반 비휘발성 메모리 소자의 구성 요소 중 가장 중요한 요소 중 하나인 정보저장층, 즉 나노입자의 형성 및 구조/물질 최적화에 대해 알아보고자 한다. 그림 4는 나노

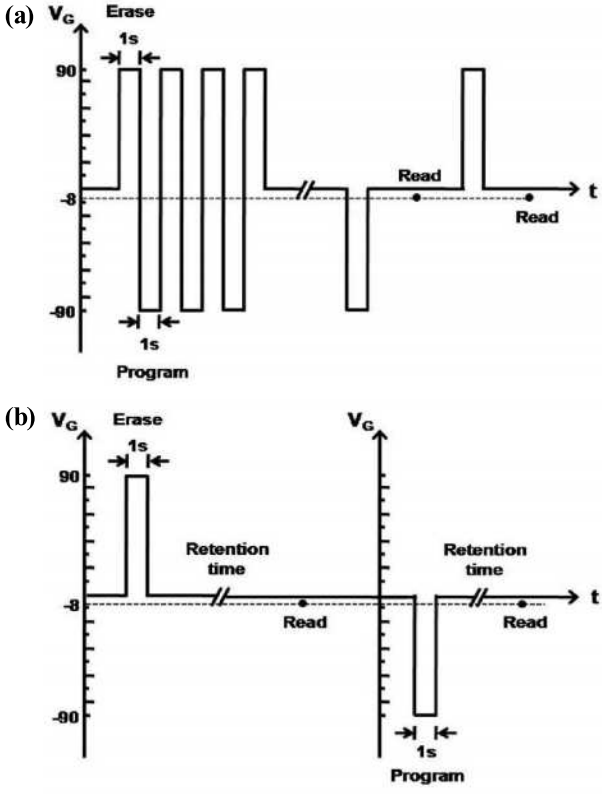

그림 3. 테스트 펄스 인가 순서, (a) endurance 측정, (b) data retention 측정.[8]

입자 기반의 비휘발성 메모리 소자의 모식도를 나타낸다.[7]

이 구조는 기본적으로 MOS capacitor 구조를 하고 있으며, 특성 평가는 capacitance-voltage response를 통해 할 수 있게 된다. 본 연구에서는 polystyrene-*block*-poly(4-vinyl pyridine)(PS-PVP) copolymer를 이용하여 나노크기의 금속 입자를 형성하였다. 이러한 PS-PVP의 장점은 잘 정렬되고, 배열된 금속나노입자를 상온에서 형성할 수 있으며, 밀도 및 크기 제어가 가능하고, metal precursor를 변경함으로써 금속나노입자의 종류를 쉽게 바꿀 수 있기 때문에 본 연구에 가장 적합한 물질이라고 할 수 있다. 이를 이용하여 우선적으로 기존 실리콘 기반 메모리 소자와 가장 적합한 코발트 나노 입자를 형성하였다. 그림 5(a)에서는 산소 플라즈마를 이용하여 micelle 을 제거한 후를 나타낸다. Micelle이 제거된 후 코발트 산화물의 나노입자가 잘 정렬된 형태로 존재함을 확인할 수 있다. 산화물 형태의 나노입자의 경우 electron trapping 효과가 저하되기 때문에 이를 다시 수소 분위기 열처리를 통해 환원시켰으며, 환원된 코발트 금속나노입자의 전자현미경 사진을 그림 5(b)에 나타내었다.[9] 이러한 일련의 과정을 통해 나노입자 기반 비휘발성 메모리 소자에서 가장 중요한 역할을 하는 핵심 정보저장층인 금속 나노입자를 상온에서 형성하였으며, 이러한 방법의 가장 큰 장점은 후속 메모리 소자 형성 공정에서 잔류 고분자 물질로 인해 소자의 특성이 열화되는 것을 미연에 방지할 수 있다는 점이다.

위의 과정을 통해 형성된 charge trapping layer를 이용하여 실제로 capacitor 형태의 메모리 소자를 제작하였다. 모든 소자는 *p*-type Si 기판 위에서 제작되었다. 구체적인 실험 방법은 기존 보고에서 찾을 수 있다.[9] 간략히 기술하면, 우선 세정된 Si기판 위에, HfO_2 tunneling dielectric layer를 형성한다(그림 6(a)). 그 후 micelle을 spin coating하고 (b), oxygen plasma 처리를 통해 micelle template를 제거한다 (c). 다음으로 blocking dielectric layer를 증착하고 (d), 마지막으로 게이트 전극을 형성함으로써 (e) 소자 제작이 끝나게 된다.[9]

이와 같은 방법을 통해 capacitor 형태의 나노입자 기반 비휘발성 메모리 소자를 제작할 수 있으며, 이후 다양한 메모리 소자 개발에서도, 나노입자 층의 형성 방법에는 차

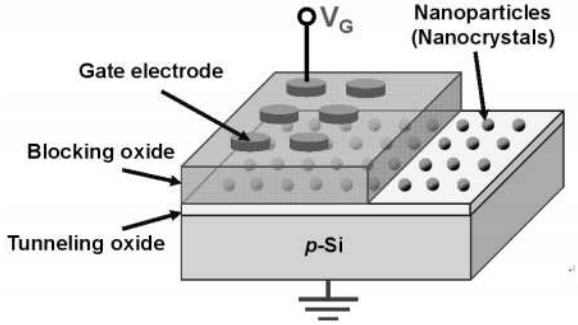

그림 4. 나노입자 기반 비휘발성 메모리 소자의 모식도.[7]

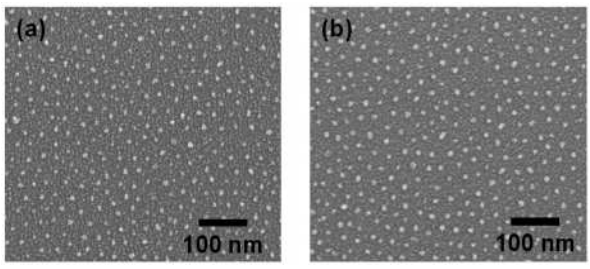

그림 5. 자기조립된 diblock copolymer micelle에 의해 형성된 Co 나노입자의 전자현미경 사진. 산소 플라즈마 처리에 의해 micelle template이 제거된 후 (a), 그리고 수소 열처리에 의해 환원된 Co 나노입자의 전자현미경 사진 (b).[9]

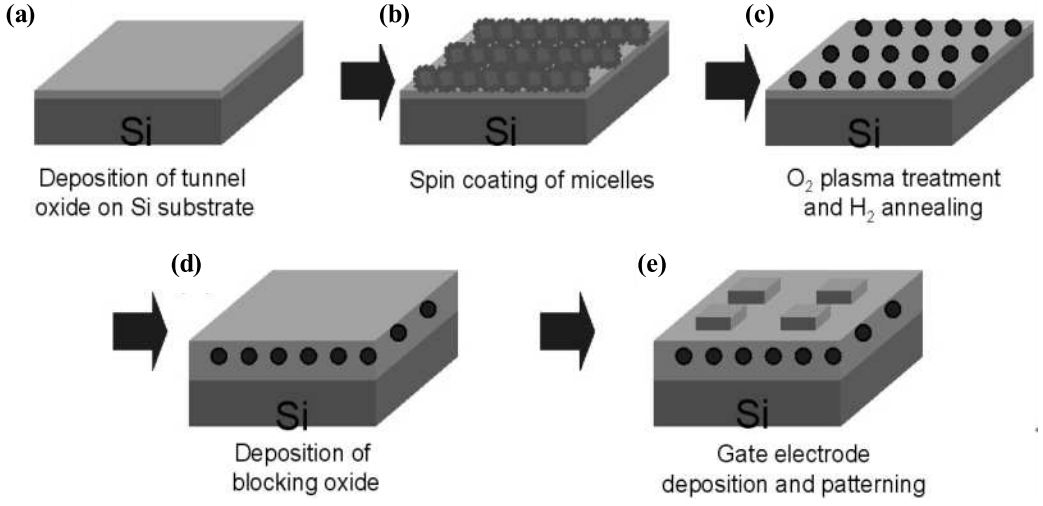

그림 6. 소자제작방법을 보여주는 모식도.[9]

이가 있지만, 기본적인 소자 제작 방법은 위와 동일하다. 이러한 capacitor 구조의 메모리 소자의 경우, 간단한 two-terminal device(gate/bottom contacts)이지만 실제 나노입자층이 메모리 소자에서 제대로 동작하는지를 평가할 수 있는 유용한 구조라고 할 수 있다.

실제로 제작된 나노입자 기반 메모리 소자의 동작 특성을 그림 7에 나타내었다. 프로그램/소거 동작 전압에 따라 메모리 소자가 잘 동작함을 확인할 수 있다. 또한 초기 프로그램된 상태의 메모리 소자와 소거된 메모리 소자를 이용하여 시간에 따른 flatband voltage를 측정한 결과를 그림 7(b)에 나타 내었다. 소거된 상태의 경우 시간에 따라 거의 저장된 정보를 잘 유지하는 반면, 프로그램된 상태의 경우 시간에 따라 어느 정도의 charge loss를 보여주었다. 하지만 10일이 지난 후에도 0.5 V 이상의 메모리 윈도우를 보여주었으며, 이는 메모리 소자의 경우, sense amplifier가 있기 때문에 충분히 저장된 정보를 읽을 수 있음을 나타내고 있다.[9]

3.2 Block Copolymer Micelle을 이용한 메모리 소자의 동작 특성 제어

Diblock copolymer의 가장 큰 장점은 상온 공정 이외에 copolymer의 분자량, 금속 전구체의 종류에 따라 금속 나노입자의 크기, 밀도 및 종류를 쉽게 변화시킬 수 있는 장점이 있다. 그림 8에는 PS와 PVP의 분자량을 제어함에 따라 금속 나노입자의 밀도 및 크기가 잘 제어될 수 있음을 보여주는 전자현미경 사진이다.[10] 이를 통해 금속 나노입자의 밀도 및 크기가 메모리 동작 특성에 미치는 영향을 고찰할 수 있을 것으로 예상된다.

또한 block copolymer micelle을 이용하여 메모리 소자를 제작하는 데 있어 큰 장점으로는 metal precursor 물질을 바꿈으로써 다양한 종류의 금속 나노입자를 쉽게 형성할 수 있다는 데 있다. 실제로 $CoCl_2$ 또는 $HAuCl_4$를 이용하여 정보저장층으로 Co 및 Au 나노입자를 형성할 수 있었으며, 여기서 발전하여 Co 및 Au의 혼합 나노입자층을 정보저장층으로 이용할 수 있음을 보고하였다. 나노입자 기반 메모리 소자에서는 실제로 사용되는 금속 나노입자의 일함수, 크기 및 밀도에 따라 메모리 특성이 크게 바뀌기 때문에 이러한 나노입자의 물리적인 특성 변화에 따른 메모리 소자의 동작 특성을 평가하는 것은 향후 나노입자 기반 메모리 소자를 실제 메모리 소자에 적용하고자 할 때 중요한 정보를 제공할 수 있다. 그림 9에는 단일 나노입자를 정보저장층으로 형성한 경우(Co 및 Au) 및 이종의 나노입자 혼합층을 형성한 경우(Au & Co 혼합 나노입자)를 보여주고 있다. 이와 같은 나노입자 혼합층의 경우 block copolymer micelle 을 이용한 경우에만 얻어질 수 있는 결과라고 할 수 있다.[10] 이렇게 금속 나노입자를 혼합하여 정보저장층으로 이용하게 되면, 각각의 나노입자의 특성을 하나의 소자에서 얻을 수 있으며, 이를 통해 조절 가능한 메

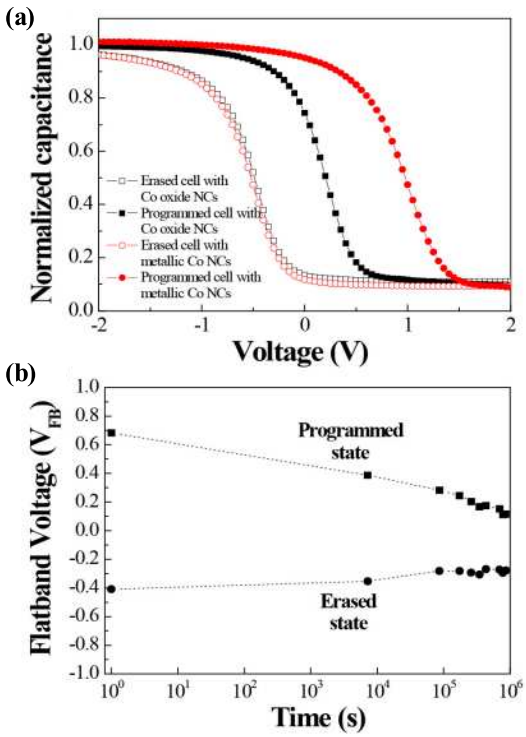

그림 7. (a) 제작된 메모리 소자의 프로그램/소거 특성, (b) 제작된 메모리 소자의 data retention 특성.[9]

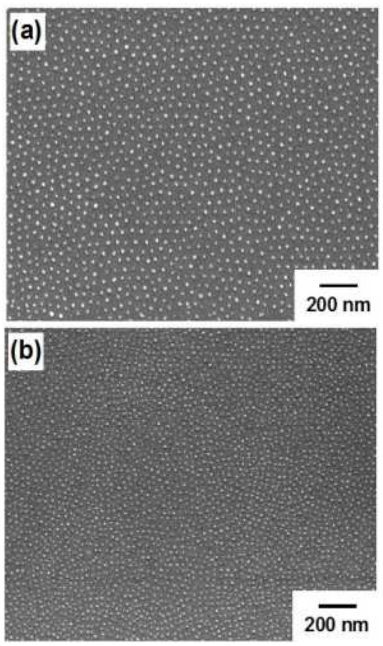

그림 8. PS-PVP copolymer의 molecular weight에 따른 나노입자의 밀도 변화.[10]

모리 특성을 얻을 수 있음을 보고하였다.

3.3. Block Copolymer Micelle을 이용한 메모리 소자의 멀티 레벨 동작 특성 구현

이상과 같이 block copolymer micelle을 이용하여 메모리 소자의 제작 및 동작 특성 평가, 그리고 각기 다른 metal precursor 물질을 가지는 micelle 혼합 용액을 이용하여 조절 가능한 특성을 보여주는 메모리 소자의 제작과 관련된 사항들을 알아보았다. Block copolymer micelle을 이용한 메모리 소자 제작에 있어 가장 중요한 장점 중 하나는 자기조립 방식에 의해 형성되는 micelle 층의 경우 조밀 충진되어 있고(close-packed), 잘 배열된 구조를 보여준다는 데 있다. Block copolymer를 이용한 많은 연구가 이러한 block copolymer 물질을 이용하여, 잘 정렬된 다양한 나노구조를 가능한 한 long range에서 보여주고자 하는 것이다. 이러한 잘 배열된 나노입자를 이용하게 되면 기존의 불규칙하게 배열된 나노 입자층을 가지는 메모리 소자에 비해 새로운 특성을 가지는 메모리 소자를 설계할 수 있다.

나노입자 기반 메모리 소자의 경우, 나노입자에 저장된 전하가 tunneling dielectric layer 뿐만 아니라 이웃하는 나노입자 간에도 이동할 수 있게 된다. 이러한 전하의 이동은 tunneling 현상에 기반을 두고 있으며, 거리에 대한 함수이기 때문에 거리가 가까운 나노입자 간의 전하의 이동이, 거리가 먼 경우 보다 쉽게 일어나게 된다. 또한 나노입자에 저장될 수 있는 전하의 개수는 나노입자의 크기, 나노입자를 감싸고 있는 주변 물질의 capacitance 등과 관련이 있다. 어느 일정한 게이트 전압에서 이러한 나노입자 간의 tunneling 현상 및 개별 나노입자의 charging energy를 잘 제어하게 되면 하나의 나노입자에 저장될 수 있는 전하의 개수를 제어할 수 있게 되고, 이를 통해 궁극적으로는 멀티 레벨로 정보를 저장할 수 있는 메모리 소자를 구현할 수 있게 된다.

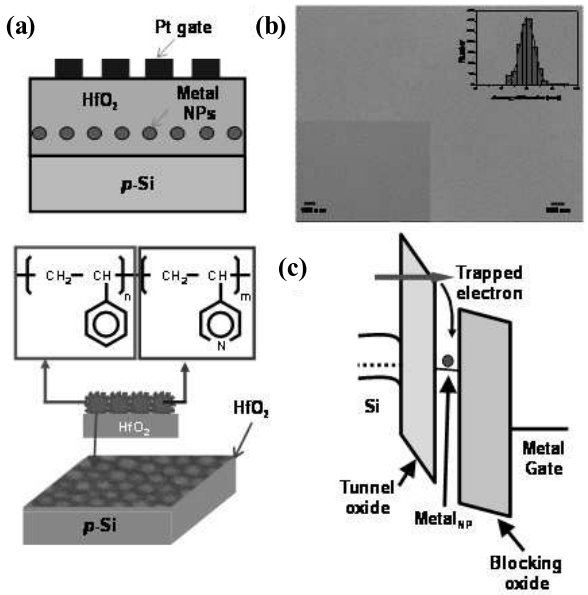

그림 10. (a) 금속나노입자에 기반한 비휘발성 메모리 소자의 모식도. (b) 실제 정보저장층으로 이용되는 금 나노입자의 전자현미경 사진. 금 나노입자는 block copolymer miclle을 템플릿으로 하여 형성되었다. (c) 금속 나노입자를 이용하는 메모리 소자의 energy band 구조.[11]

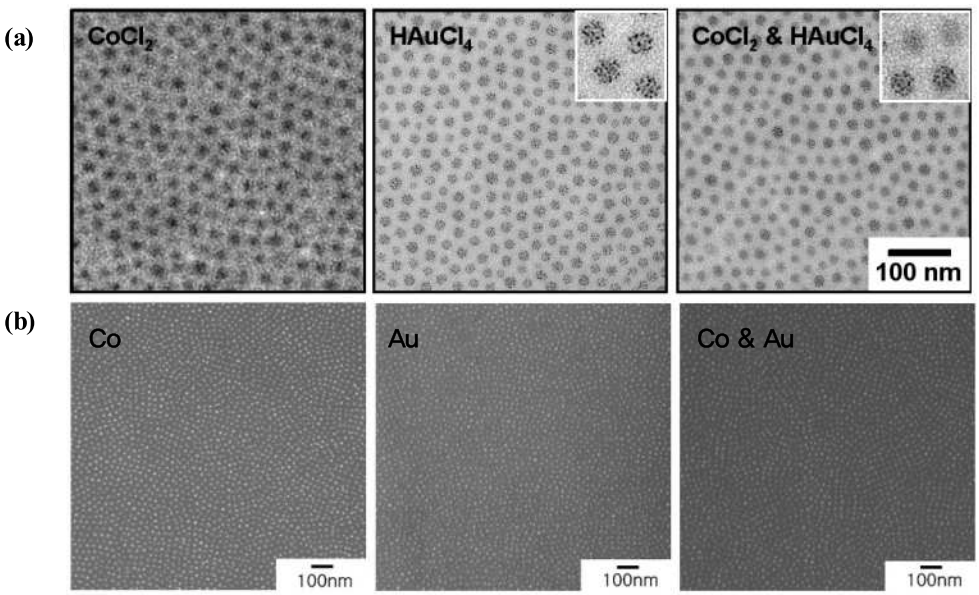

그림 9. (a) 나노입자 전구체를 포함한 micelle의 TEM 사진들 및 (b) 산소 플라즈마 처리 후 micelle이 제거되고 남은 나노입자층을 보여주는 SEM 사진들.[10]

그림 10(a)는 이러한 멀티레벨 동작 특성을 구현하기 위해 제작한 메모리소자의 개략도이다. 그림 10(b)는 실제로 메모리 소자에 적용된 Au 나노입자의 전자현미경 사진 및 크기 분포도를 보여준다. 평균 지름은 10±1.5 nm, 밀도는 1.1×10^{11} cm^{-2} 로 잘 배열된 나노입자층이 형성되었음을 확인할 수 있다. 그림 10(c)는 이러한 메모리 소자의 에너지 밴드 구조를 보여준다.[11]

그림 11(a)는 프로그램 전압과 bias time에 따른 flat band voltage(V_{FB}) 변화를 보여준다. V_{FB}는 특정한 게이트 전압에서 시간에 따라 특정 값으로 포화되고 오랜 시간 동안 pulse를 가해 준 후에도 V_{FB}는 거의 일정한 값을 유지한다. 이는 하나의 나노입자에 저장될 수 있는 전하의 개수가 특정 프로그램 전압 하에서 포화된다는 것을 의미한다. 또한 SNDM(scanning non-linear dielectric microscopy)을 사용하여 소자의 메모리 특성을 nanoscale에서 평가하였다. Conductive AFM tip을 전극으로 이용하여 nanoscale에서 프로그램/소거 동작을 실시하고, 이를 다시 AFM을 통해 읽어 특성을 평가하였다. 특정한 reading 전압(-0.25 V)에서 programming/erasing 동작에 따라 capacitance 변화가 있기 때문에 programmed/erased 상태에 따라 스캔 영역에서의 contrast 변화를 얻을 수 있었고, 이를 그림 11(b)에 나타내었다.[11] 결론적으로 나노입자 기반의 비휘발성 메모리 소자에서 전하 저장 포화(saturation) 현상에 대해 연구하였다. 잘 배열된 금속 나노 입자를 정보저장층으로 이용하는 메모리 소자의 경우에 하나의 나노입자에 저장될 수 있는 전하의 개수를 특정 게이트 전압에 의해 잘 제어할 수 있기 때문에 멀티레벨 정보저장 소자로 이용가능하다는 것을 확인할 수 있었다.

3.4 정전기적 인력에 의한 나노입자 흡착을 기반으로 하는 메모리 소자

Block copolymer micelle을 이용하여 나노입자 기반의 정보저장층을 형성하는 방법 외에도 다양한 방법으로 정보저장층으로 이용할 수 있는 나노입자층을 형성할 수 있다. 여기서는 이러한 방법 중 layer-by-layer(LbL) 자기조립을 통해 다층 나노입자층으로 적층하는 방법을 소개한다. LbL 자

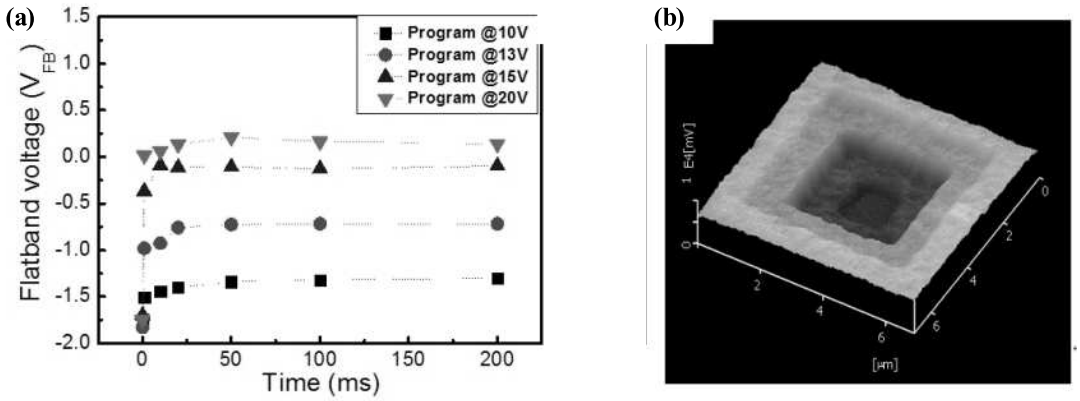

그림 11. (a) 나노 입자 기반 메모리 소자에서 특정 프로그램 전압에서 시간에 따른 flatband voltage (V_{FB}) 변화, (b) nanoscale에서의 소자 특성 평가. 멀티레벨의 소거 상태가 SNDM 이미지로 표시됨.[11]

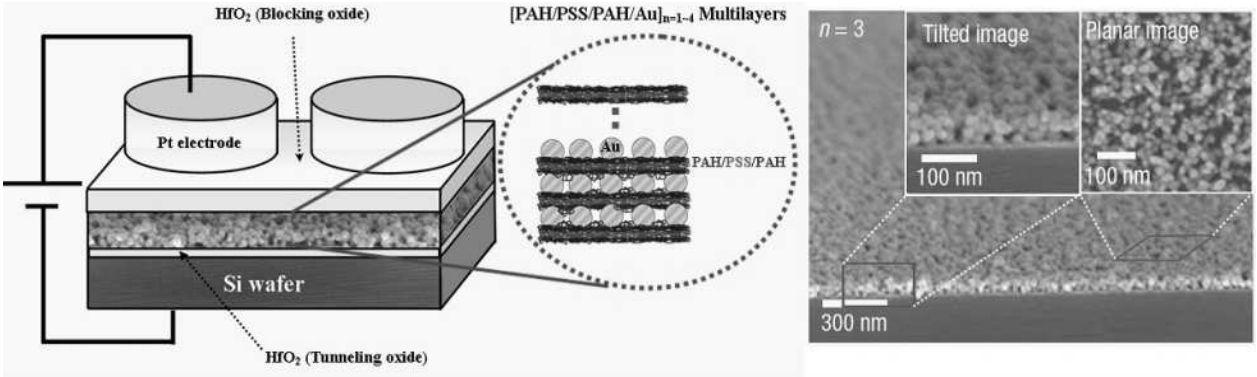

그림 12. Layer-by-layer self-assembly 방법에 의해 다층의 정보저장층을 가지는 메모리 소자의 모식도 및 실제 정보저장층으로 이용되는 금속 나노입자 다층을 보여주는 전자현미경 사진.[12]

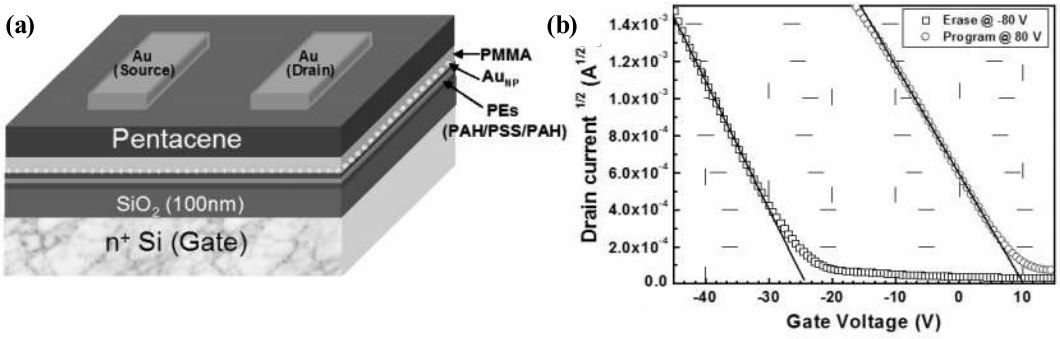

그림 13. 유기트랜지스터 기반 나노입자 메모리 소자의 구조 및 유기트랜지스터 메모리 소자의 프로그램/소거 특성.[13]

기 조립은 다른 종류의 전하를 띈 박막을 차례로 증착하여 정전기적 인력에 의해 다층 박막을 형성하는 방법이며, 증착 횟수를 조절하여 박막의 두께를 조절할 수 있다. 그림 12에 LbL 방법을 이용한 MOS capacitor 형태의 나노 플로팅 게이트 메모리 소자의 모식도 및 실제로 사용된 다층의 정보저장층의 전자현미경 사진을 나타내었다.[12] 앞서 기술한 capacitor 형태의 메모리 소자 구조와 유사한 구조를 가지고 있으나, 여기서는 다층의 금속 나노입자층을 정보저장층으로 이용하여, 단위 면적당 나노입자의 개수를 증대시켜, 정보 저장능력을 개선하였다. 본 연구를 통해 처음으로 용액공정으로 정보저장층을 3차원 적층할 수 있는 방법을 개발 하였으며, 이를 발전시켜 이후 많은 연구가 이루어지고 있다.

이러한 LbL 공정은 유기 트랜지스터를 기반으로 하는 메모리 소자에도 적용될 수 있다. 앞에서도 언급한 바와 같이 트랜지스터 기반의 메모리 소자는 drain 전류의 측정으로 programmed state와 erased state를 구분할 수 있어 실제 소자로의 적용에 매우 유용하다. 최근 금속 나노입자를 정보저장층으로 이용하는 유기 트랜지스터 기반 비휘발성 메모리 소자 제작과 관련된 많은 연구가 진행되고 있다.[13–15] 그림 13에 유기트랜지스터 기반 비휘발성 메모리 소자의 모식도 및 프로그램/소거 특성을 나타내었다.[13] 유기반도체 층으로는 pentacene이 사용되었고, 정보저장층으로는 금 나노 입자를 LbL 방법으로 증착하여 형성되었다. 이러한 방식을 응용하여 다양한 방법으로 정보저장층을 형성하거나, 유기 반도체 층의 종류를 변화시키는 등 많은 연구가 진행되고 있다.

4. 나노입자 기반 메모리 소자를 이용한 차세대 전자 소자 응용

4.1 Printed Memory

프린팅 공정에 의한 트랜지스터 제작은 이미 많은 연구·개발을 통해 우수한 특성의 트랜지스터 특성이 많이 보고

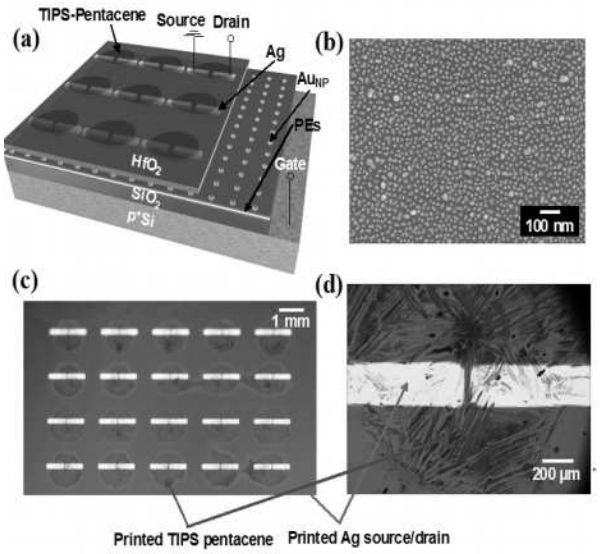

그림 14. (a) 나노입자 기반 비휘발성 메모리 소자의 모식도, (b) 정보저장층으로 사용된 금 나노입자의 SEM 사진, (c, d) Ink-jet printing 방법에 의해 제작된 메모리 소자의 광학현미경 사진.[17]

되고 있다. 특히 ink-jet printing 공정을 이용하여 게이트, 소스-드레인 전극 뿐만 아니라 active layer, gate dielectric layer 등 대부분의 component들을 프린팅 공정에 의해 형성할 수 있으며, 단일 트랜지스터 뿐만 아니라 inverter, ring oscillator, 논리 회로 등의 제작이 이미 보고되고 있다. 이러한 프린팅 기법은 소자를 원하는 위치에 간단한 방법으로 형성할 수 있기 때문에 향후 다양한 전자 소자 응용 분야에 적용될 것으로 예상된다.[16]

최근 프린팅 방식에 의해 소스/드레인 전극 및 active layer를 형성하여 나노입자 기반 메모리 소자에 적용한 연구가 발표되었다. 그림 14(a)에 제작된 소자의 모식도를 나타내었다. Bottom-gate, bottom-contact 방식의 OTFT 구조를 하고 있으며, SiO_2를 blocking oxide로, HfO_2를 tunneling oxide 로 사용되었다. 정보저장층으로는 그림 14(b)와 같이 자기 조립된 금 나노입자를 이용하였다. Ink-jet printing 방법

으로 20wt% 농도의 Ag가 함유된 metal-organic precursor 타입의 ink를 이용하여 소스/드레인을 프린팅 하였다. Active 층으로는 용액 공정이 가능한 1,2-dichloro benzene에 용해된 1 wt% 6,13-*bis*(triisopropylsilylethynyl)pentacene(TIPS-pentacene)을 이용하여 프린팅하였다. 광학현미경 사진을 통해 확인할 수 있듯이 TIPS-pentacene 및 Ag 소스/드레인 전극이 잘 형성되었음을 확인할 수 있다. Ink-jet printing 방식에 의해 제작된 메모리 소자의 경우 우수한 program/erase 특성 및 신뢰성을 나타내었다.[17] 나노 입자 기반 비휘발성 메모리 소자를 ink-jet printing 방식에 의해 구현할 수 있다는 점을 보여준 것이 이 연구의 큰 의의라 할 수 있으며, 현 단계에서는 gate 및 gate insulator의 경우 프린팅 공정을 적용하지 않았으나, 용액 공정 및 프린팅 공정이 가능한 다양한 금속 전극 물질 및 insulator 물질이 있기 때문에 가까운 시기에 전프린팅 공정에 의한 트랜지스터 기반 비휘발성 메모리 소자 구현이 가능할 것으로 예상된다.

4.2 Flexible Memory

향후 휴대용 전자기기는 쉽게 접고 휠 수 있는 플렉서블 기판을 이용하여 제작될 것을 예상할 수 있다. 이러한 플렉서블 전자 소자에는 플렉서블 메모리 소자가 반드시 필요하다. 이러한 요구에 따라 현재 플렉서블 메모리 소자에 대한 연구가 활발히 진행되고 있다. 최근 용액 공정이 가능한 유전체 물질 및 저온 형성이 가능한 금속 나노입자를 적용하여, 저온에서 우수한 동작 특성 및 전기적 신뢰성을 가지는 플렉서블 메모리 소자의 제작에 대한 보고가 있었다. 이 연구의 경우 기판으로는 얇은 poly(ether sulfone)(PES) 플라스틱 기판을 이용하였고, 용액공정(스핀코팅)으로 형성한 가교결합된 PVP층 을 blocking과 tunneling insulator 층으로 사용하였다. 잘 조절된 금 나노입자를 합성하여, 이를 정보저장층으로 사용하였다. 그림 15(a)는 플렉서블 기판 위에 형성된 유기 트랜지스터 기반 비휘발성 메모리 소자의 개략 적인 구조이다. 그림 15(b)는 제작된 플렉서블 유기 메모리 소자의 사진이다. 주목할 만한 점은 게이트와 source/drain 전극 부분을 제외한 모든 부분이 거의 투명하다는 것이다. 따라서, 이 메모리 소자에 투명전극을 적용한다면 실제 투명 전자기기에 적용될 수 있을 것이다. 이렇게 형성된 플렉서블 트랜지스터 및 플렉서블 트랜지스터 메모리 소자의 경우, 우수한 전기적 특성 및 신뢰성을 나타내었다. 또한 반복적으로 휘고, 접더라도 저장된 특성의 저하가 거의 없

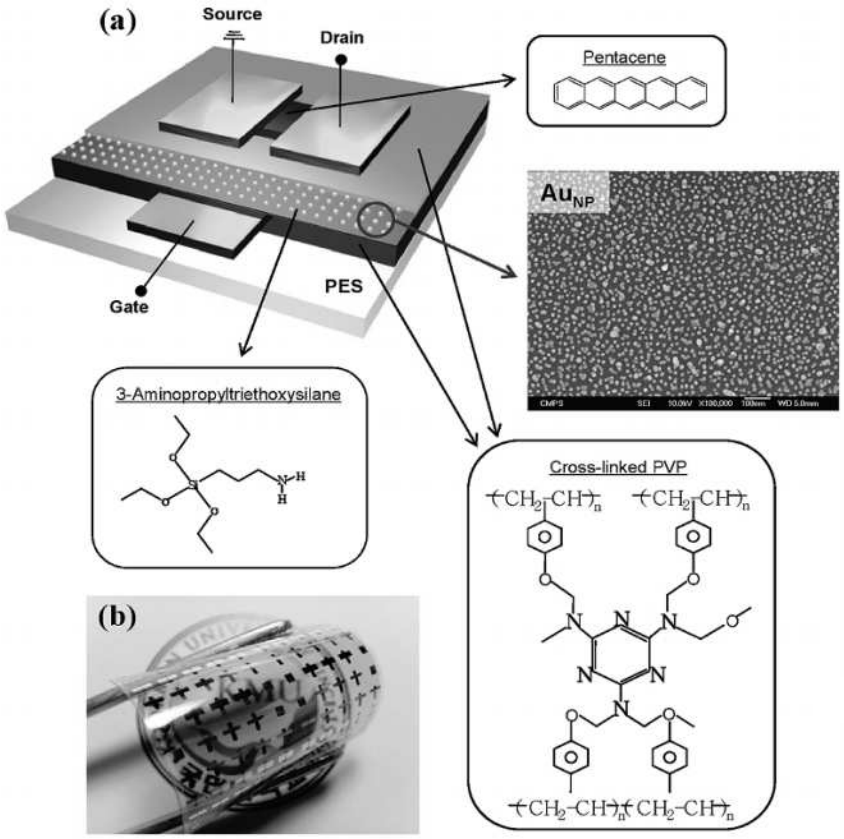

그림 15. (a) 플렉서블 유기 트랜지스터 기반 나노입자 메모리 소자의 모식도 및 주요 물질의 화학구조, (b) 제작된 플렉서블 메모리 소자의 사진.[8]

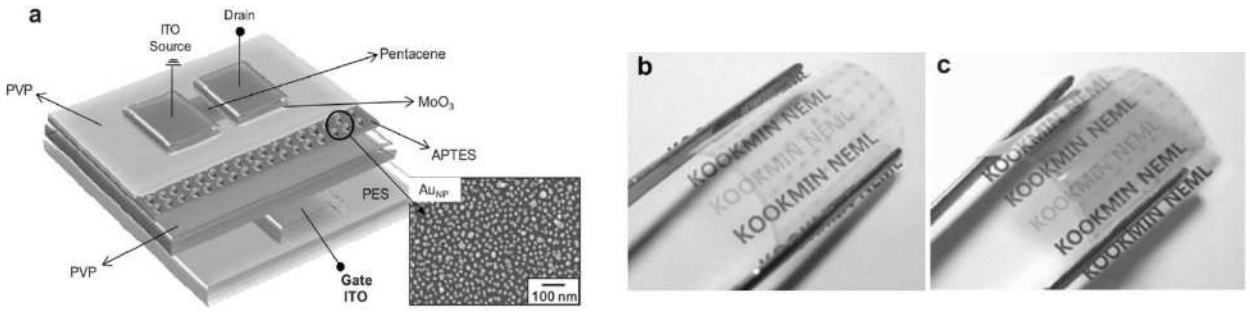

그림 16. (a) 투명 플렉서블 유기트랜지스터 메모리 소자의 모식도 및 정보저장층의 전자현미경 사진, (b) 투명 유기트랜지스터 및 (c) 투명 유기트랜지스터 메모리 소자.[18]

는 우수한 기계적 신뢰성을 보여주었다.[8]

4.3 Transparent Memory

최근 플렉서블 전자기기를 위한 플렉서블 유기메모리 소자에 대한 많은 연구들이 이루어지고 있다. 이러한 플렉서블한 특성 외에 투명한 메모리 소자가 개발되면 또 다른 많은 응용분야가 생길 것이다. 이러한 투명한 메모리 소자는 see-through electronic devices, head-up display와 같은 차세대 전자기기에 적용될 수 있다. 본 연구에서는 투명 ITO 전극을 게이트 및 소스/드레인 전극으로 사용하여 투명하고, 플렉서블한 유기트랜지스터 기반의 나노입자 메모리 소자를 개발하였다. 개발된 투명 메모리 소자의 모식도 및 실제 소자 사진을 그림 16에 나타내었다. 투명하고, 플렉서블한 메모리 소자의 경우 전기적으로 프로그램 및 소거 동작이 잘 이루어졌으며, 우수한 data retention, endurance 및 mechanical stability를 보여주었다.[18]

5. 결론

지금까지 block copolymer micelle을 이용한 비휘발성 메모리 소자의 제작 및 동작/신뢰성 특성 평가에 대해 알아보았다. Block copolymer micelle은 나노입자 기반 비휘발성 메모리 소자를 제작하는데 가장 적합한 나노입자 형성 템플릿으로 이용될 수 있으며, 이를 통해 제작된 메모리 소자는 조절 가능한 메모리 특성, 멀티레벨 동작 특성 등 우수한 메모리 특성을 나타내었다. 이와 동시에 나노입자를 이용한 비휘발성 메모리 소자 제작에 적합한 여러 방법들을 소개하였으며, 차세대 전자기기에 적용가능한 printed memory, flexible memory, transparent memory 등과 같은 새로운 기능 및 특성의 메모리 소자 형성 기법에 대해 소개하였다. 앞으로 이러한 선행 연구들의 결과를 기반으로 block copolymer micelle 기술이 새로운 반도체 소자 제작에 적용될 수 있기를 기대한다.

참고문헌

1. J. S. Lee, *J. Mater. Chem.*, **21**, 14097 (2011).
2. J. S. Lee, *Electronic Materials Letters*, **7**, 175 (2011).
3. S. Tiwari, F. Rana, K. Chan, L. Shi, and H. Hanafi, *Appl. Phys. Lett.*, **69**, 1232 (1996).
4. S. Tiwari, F. Rana, H. Hanafi, A. Hartstein, E. F. Crabbe, and K. Chan, *Appl. Phys. Lett.*, **68**, 1377 (1996).
5. J. De Blauwe, *IEEE Trans. Nanotechnol.*, **1**, 72 (2002).
6. Z. T. Liu, C. Lee, V. Narayanan, G. Pei, and E. C. Kan, *IEEE Trans. on Electron Devices*, **49**, 1606 (2002).
7. J. S. Lee, *Gold Bull*, **43**, 189 (2010).
8. S. J. Kim and J. S. Lee, *Nano Lett.*, **10**, 2884 (2010).
9. C. Lee, J. H. Kwon, J. S. Lee, Y. M. Kim, Y. Choi, H. Shin, J. Lee, and B. H. Sohn, *Appl. Phys. Lett.*, **91**, 153506 (2007).
10. J. S. Lee, Y. M. Kim, J. H. Kwon, H. Shin, B. H. Sohn, and J. Lee, *Adv. Mater.*, **21**, 178 (2009).
11. J. S. Lee, Y. M. Kim, J. H. Kwon, J. S. Sim, H. Shin, B. H. Sohn, and Q. X. Jia, *Adv. Mater.*, **23**, 2064 (2011).
12. J. S. Lee, J. Cho, C. Lee, I. Kim, J. Park, Y. M. Kim, H. Shin, J. Lee, and F. Caruso, *Nat. Nanotechnol.*, **2**, 790 (2007).
13. S. J. Kim, Y. S. Park, S. H. Lyu, and J. S. Lee, *Appl. Phys. Lett.*, **96**, 033302 (2010).
14. Y. M. Kim, Y. S. Park, A. O'Reilly, and J. S. Lee, *Electrochemical and Solid State Lett.*, **13**, H134 (2010).
15. Y. M. Kim, S. J. Kim, and J. S. Lee, *IEEE Electron Device Letters*, **31**, 503 (2010).
16. 이장식, *전자공학회지*, **38**, 292 (2011).
17. Y. S. Park, S. Chung, S. J. Kim, S. H. Lyu, J. W. Jang, S. K. Kwon, Y. Hong, and J. S. Lee, *Appl. Phys. Lett.*, **96**, 213107 (2010).
18. S. J. Kim, J. M. Song, and J. S. Lee, *J. Mater. Chem.*, **21**, 14516 (2011).